

两路300kHz, 180° 异相, 降压PWM外加一路线性控制器

ISL6443 是高性能, 三路输出控制器, 可将墙壁适配器, 电池或网络中间总线的直流输入电源转换为多种应用所需的系统电源电压。每个输出可调低至 0.8V。两个 PWM 成 180° 异相同步, 减少了输入电流和纹波电压的有效值 (RMS)。

ISL6443 具有几种保护特性。可调的过流保护电路通过检测下部 MOSFET 上的电压降来监控输出电流。Hiccup 过流工作模式保护直流-直流元件, 避免其在输出过载/短路情况下被损坏。每个 PWM 有单独的逻辑电平关断输入 (SD1 和 SD2)。

当两个 PWM 控制器上的软启动完成, 会产生一个单一的 PGOOD 信号。此时, 控制器的输出低于设定值的 10%, 线性调整器的输出高于设定值的 75%。结温超过 +150°C 时, 热停机电路会断开器件。

订购信息表

元件号码	温度范围 (°C)	封装	PKG DWG. #
ISL6443IR	-40 到 85	28 引脚 5×5 QFN	L28.5×5
ISL6443IRZ (见注释)	-40 到 85	28 引脚 5×5 QFN (无铅)	L28.5×5

在器件号中加后缀“-T”区分盘状和卷状封装。

注: Intersil 公司的无铅产品采用了特殊的无铅材料: 模塑料/冲模附着材料与 100% 的无光泽镀锡板终端涂复层, 可进行锡铅与无铅焊接操作。Intersil 公司的无铅产品在无铅峰值回流温度下经过 MSL 分类, 可达到或超过 IPC/JEDEC J Std-020 标准的要求。

特点

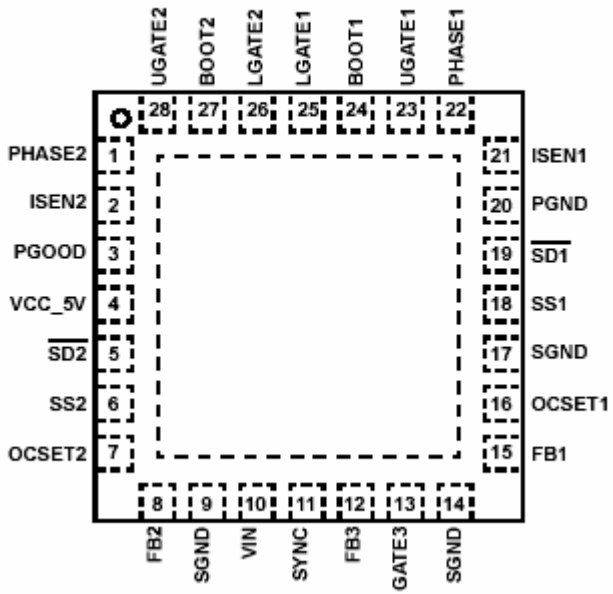
- 宽的输入电源电压范围
 - 5.6V到24V (VIN 电源脚供电)
 - 4.5V到5.6V (VCC_5V电源脚供电)
- 三个独立的可编程的输出电压
- 开关频率..... 300kHz
- 异相PWM控制器工作
 - 减少所需的输入电容和电源感生负载
- 无外部电流感应电阻
 - 使用下部MOSFET的rDS(ON)
- 同步多个ISL6443时有双向频率同步
- 可编程软启动
- 广泛的电路保护功能
 - PGOOD
 - UVLO
 - 过流
 - 过热
 - 两个PWM可独立关闭
- 出色的动态响应
 - 带有电流型控制的电压前反馈
- QFN封装:
 - QFN – 符合JEDEC PUB95 MO-220标准
 - QFN – 四边形扁平无引脚封装外形
 - 接近芯片尺寸的封装面积, 提高了PCB板的利用效率, 具有更薄的厚度
- 无铅封装 (符合RoHS)

应用

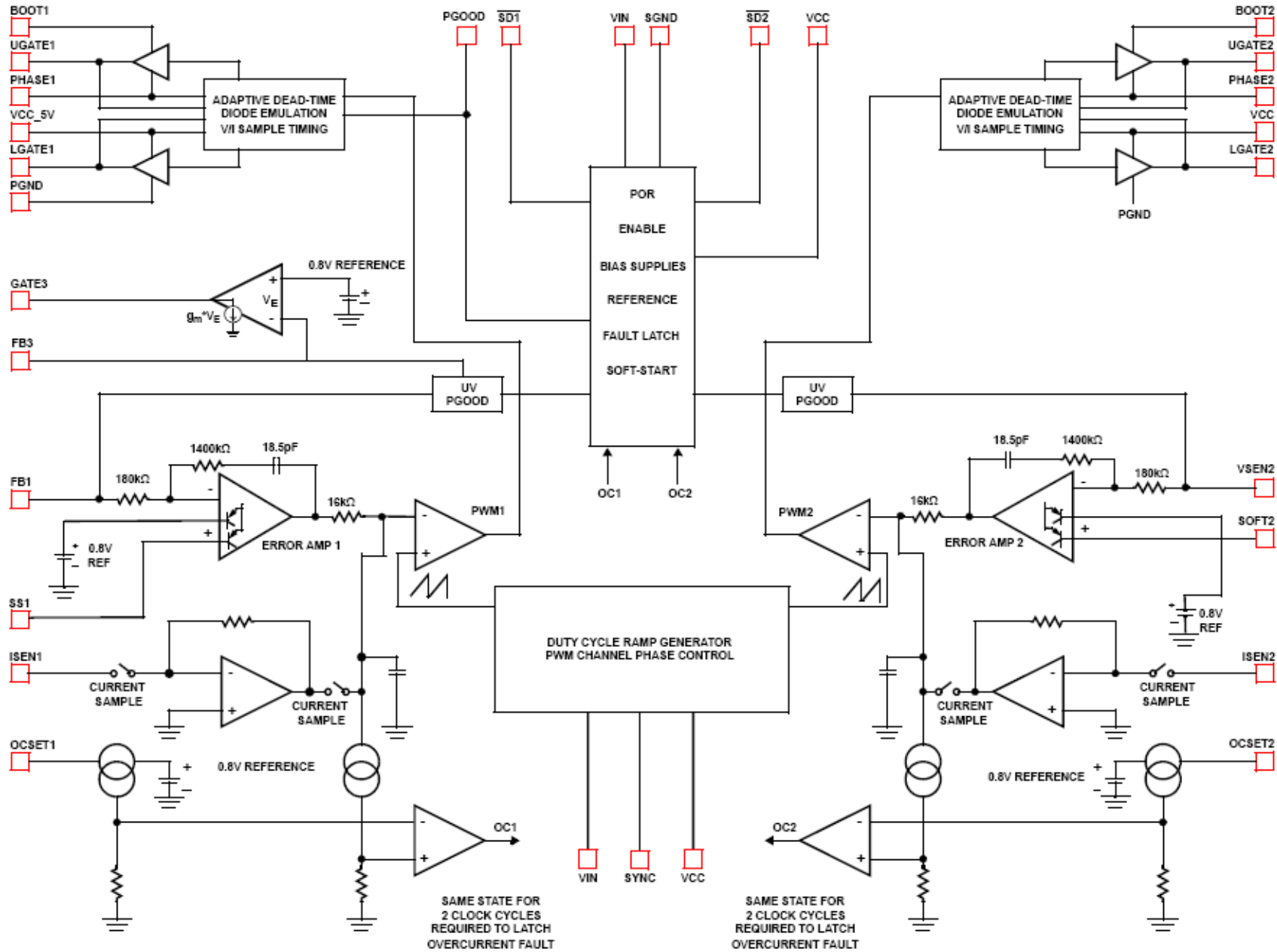
- 需要多路输出的电源
- xDSL调制解调器/路由器
- DSP, ASIC和FPGA电源
- 机顶盒
- DSP, 存储器, 逻辑电路, μP核心电路和I/O电路的双路输出电源
- 电信系统

引脚图

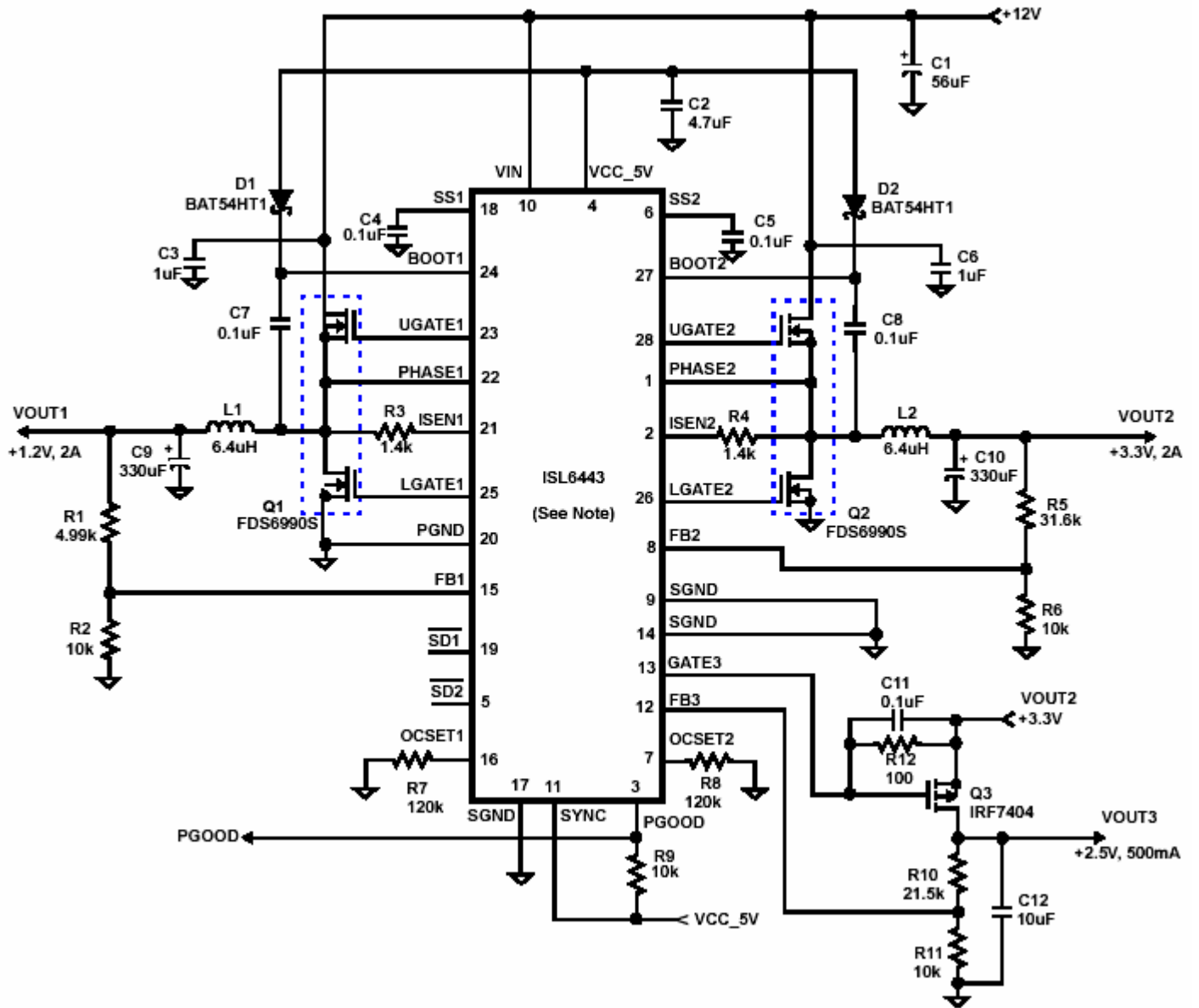
ISL6443 (QFN)
TOP VIEW



结构框图



典型应用示意图



极限参数

电源电压(VCC_5V脚)	-0.3V至+7V
输入电压(VIN脚)	+27V
BOOT1,2和UGATE1,2	+35V
PHASE1,2和ISEN1,2	+27V
相对于PHASE1,2的BOOT1,2	+6.5V
UGATE1,2	(PHASE1,2-0.3V)到(BOOT1,2+0.3V)

热信息

热阻 (典型值)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
28Ld QFN封装 (注1)	36	5.5
最大结温 (塑料封装)	-55°C到150°C	
最大储存温度范围	-65°C到150°C	
温度范围	-40°C到85°C	

注意: 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。

注:
1. θ_{JC} 是在空气条件下, 元件直接安装在高效导热性系数的测试板上测量得到的。对 θ_{JA} , “外壳温度”指的是外壳下面暴露在外的金属垫片中心的温度。参考技术摘要TB379。

电气指标

以下为建议工作条件, 除非另有说明。参考结构框图和典型应用示意图。VIN=5.6V到24V, 或VCC_5V=5V \pm 10%, TA=-40°C到85°C (注2), 典型值是TA=25°C。

参数	测试条件	最小值	典型值	最大值	单位
VIN 电源					
输入电压范围		5.6	12	24	V
VCC_5V 电源 (注3)					
输入电压		4.5	5.0	5.6	V
输出电压	V _{IN} >5.6V, I _L =20mA	4.5	5.0	5.5	V
最大输出电流	V _{IN} =12V	60	-	-	mA
电源电流					
关断电流 (注4)	$\overline{SD1} = \overline{SD2} = \text{GND}$	-	50	375	μA
工作电流		-	2.0	4.0	mA
基准信息					
额定基准电压		-	0.8	-	V
基准电压容差		-1.0	-	1.0	%
上电复位					
上升的VCC_5V阈值		4.25	4.45	4.5	V
下降的VCC_5V阈值		3.95	4.2	4.4	V
振荡器					
总的频率变化		260	300	340	kHz
峰间锯齿波振幅 (注6)	V _{IN} =12V	-	1.6	-	V
	V _{IN} =5V	-	0.667	-	V
倾斜偏置 (注7)		-	1.0	-	V
SYNC 输入升/降时间 (注7)		-	-	10.0	ns
SYNC 频率范围		4.16	4.8	5.44	MHz
SYNC 输入高电平		3.5	-	-	V
SYNC 输入低电平		-	-	1.5	V
SYNC 输入最小脉宽 (注7)		10	-	-	ns
SYNC 输出高电平		VCC-0.6	-	-	V
关断1/关断2					
高电平 (转换器工作)	内部上拉电流 (3μA)	2.0	-	-	V
低电平 (转换器工作)		-	-	0.8	V
PWM 转换器					
输出电压		-	0.8	-	V
FB 脚偏流		-	-	150	nA
最大占空比	C _{OUT} =1000pF, T _A =25°C	93	-	-	%
最小占空比		-	4	-	%
PWM 控制器误差信号放大器					
DC 增益 (注7)		80	88	-	dB
增益带宽 (注7)		5.9	-	-	MHz
转换速率 (注7)		-	2.0	-	V/μs

ISL6443

参数	测试条件	最小值	典型值	最大值	单位
最大输出电压 (注 7)		0.9	-	-	V
最小输出电压 (注 7)		-	-	3.6	V
PWM 控制器门驱动器 (注 8)					
吸收/源电流		-	400	-	mA
上部驱动上拉电阻	VCC_5V=4.5V	-	8	-	
上部驱动下拉电阻	VCC_5V=4.5V	-	3.2	-	
下部驱动上拉电阻	VCC_5V=4.5V	-	8	-	
下部驱动下拉电阻	VCC_5V=4.5V	-	1.8	-	
上升时间	C _{OUT} =1000pF	-	18	-	ns
下降时间	C _{OUT} =1000pF	-	18	-	ns
线性控制器					
驱动吸收电流		50	-	-	mA
FB3 反馈阈值	I=21mA	-	0.8	-	V
欠压阈值	V _{FB}	-	75	-	%
FB3 输入漏放电流 (注 7)		-	45	150	nA
放大器跨导	V _{FB} =0.8V, I=21mA	-	2	-	A/V
电源良好和控制功能					
PGOOD 低电平电压	上拉电阻=100k Ω	-	0.1	0.5	V
PGOOD 漏放电流		-	-	± 1.0	μA
PGOOD 上部阈值, PWM1 和 2	设定值的分数	105	-	120	%
PGOOD 下部阈值, PWM1 和 2	设定值的分数	80	-	95	%
线性控制器的 PGOOD		70	75	80	%
ISEN 和电流限制					
满刻度输入电流 (注 9)		-	32	-	μA
过流阈值 (注 9)	ROCSET=110k Ω	-	64	-	μA
OCSET (电流限制) 电压		-	1.75	-	V
软启动					
软启动电流		-	5	-	μA
保护					
热关闭	上升	-	150	-	°C
	滞后	-	20	-	°C

注:

2. -40°C到+85°C下的电气特性由设计担保, 未经过生产试验。
3. 正常工作情况下, 器件由 V_{IN} 脚的电压供电, VCC_5V 脚提供 5V 的输出, 能产生 60mA (最小) 的电流。当 VCC_5V 脚作为 5V 的电源输入时, 内部 LDO 调整器禁用, V_{IN} 输入脚必须接至 VCC_5V 脚。详细内容参考引脚描述部分。))
4. 这是 V_{IN}=VCC_5V=PVCC=5V 下, 总的关断电流。
5. 工作电流是器件有效而无开关动作时所消耗的电源电流。它不包括门驱动电流。
6. 峰-峰值锯齿波振幅仅在 12V 下经过生产试验; 5V 下, 该参数由设计担保。
7. 由设计担保; 未经生产试验。
8. 未经生产试验; 仅由表征担保。
9. 由设计担保。建议以 32μA 的满标度电流作为适宜的电流样值保持工作。参见下面的反馈回路补偿部分。

典型性能曲线图

(示波器曲线采用 ISL6402EVAL4A 评估板得到-ISL6443 的过程特性)

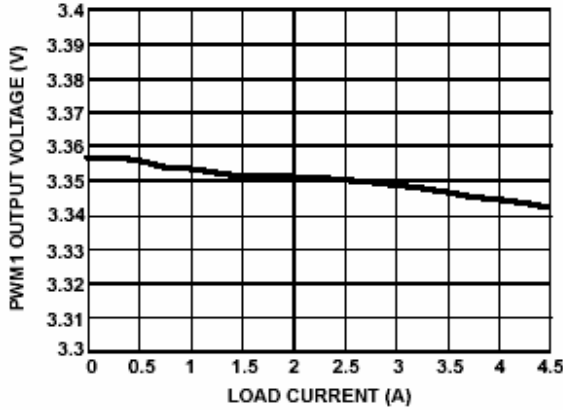


FIGURE 1. PWM1 LOAD REGULATION

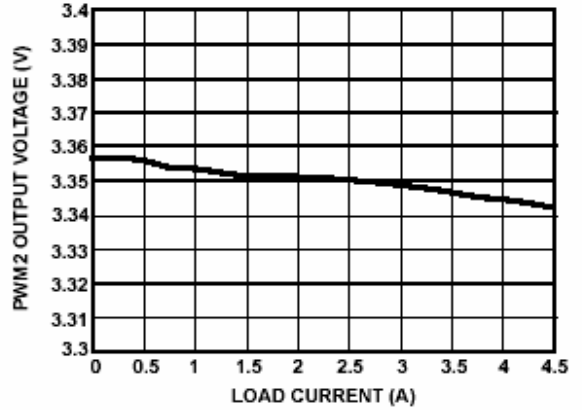


FIGURE 2. PWM2 LOAD REGULATION

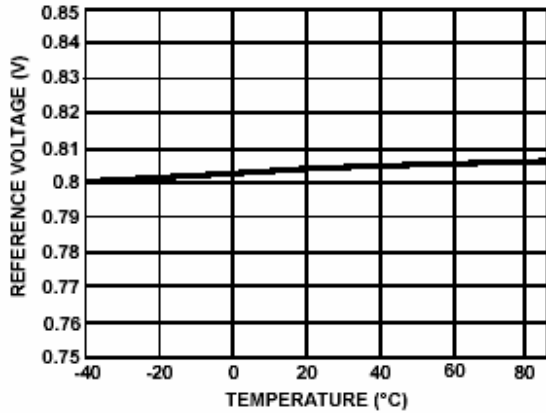


FIGURE 3. REFERENCE VOLTAGE VARIATION OVER TEMPERATURE

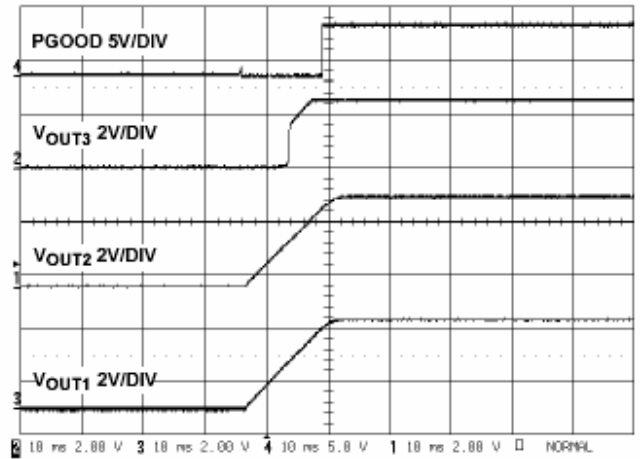


FIGURE 4. SOFT-START WAVEFORMS WITH PGOOD

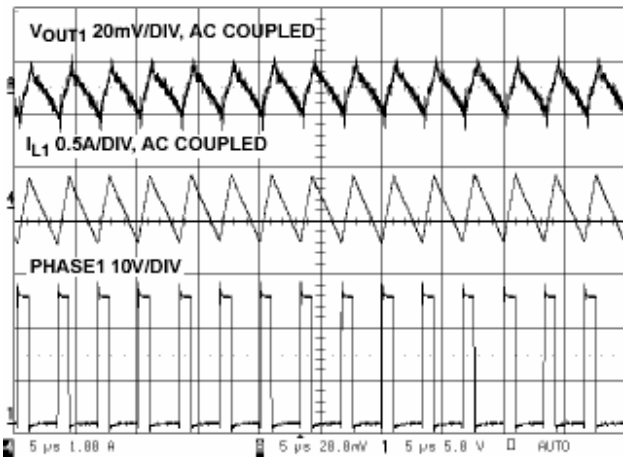


FIGURE 5. PWM1 WAVEFORMS

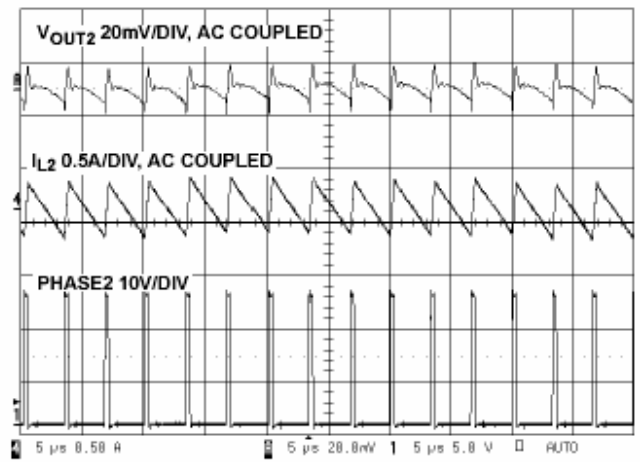


FIGURE 6. PWM2 WAVEFORMS

典型性能曲线图 (续)

(示波器曲线采用 ISL6440EVAL1B 评估板得到, $V_{IN}=12V$, 除非另有说明)

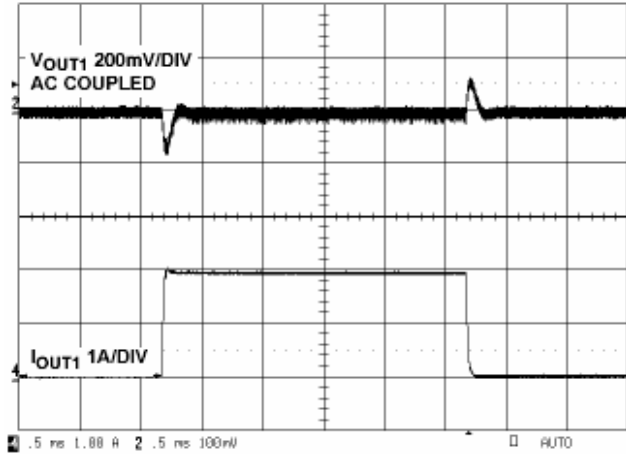


FIGURE 7. LOAD TRANSIENT RESPONSE VOUT1 (3.3V)

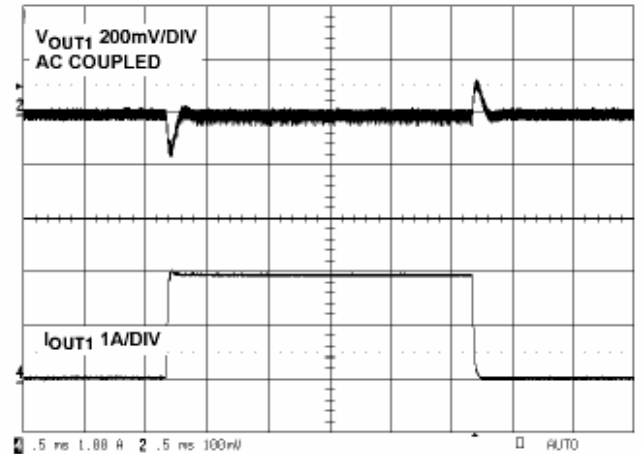


FIGURE 8. LOAD TRANSIENT RESPONSE VOUT2 (3.3V)

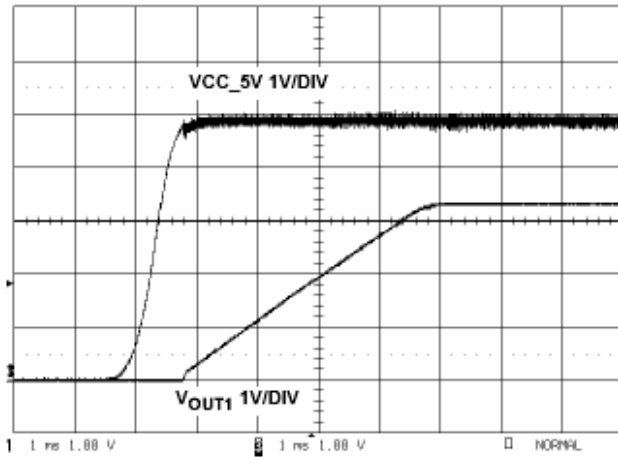


FIGURE 9. PWM SOFT-START WAVEFORM

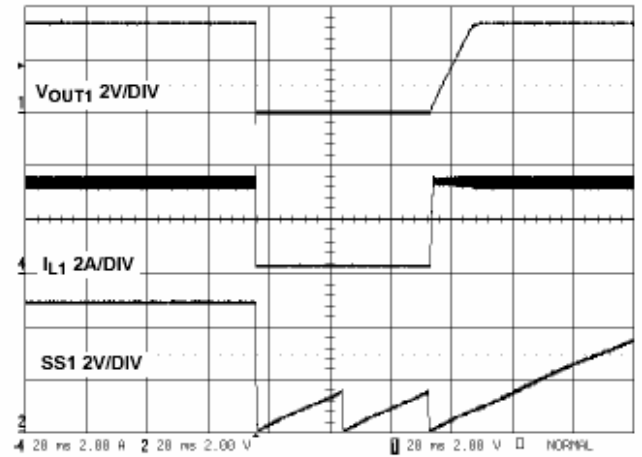


FIGURE 10. OVERCURRENT HICCUP MODE OPERATION

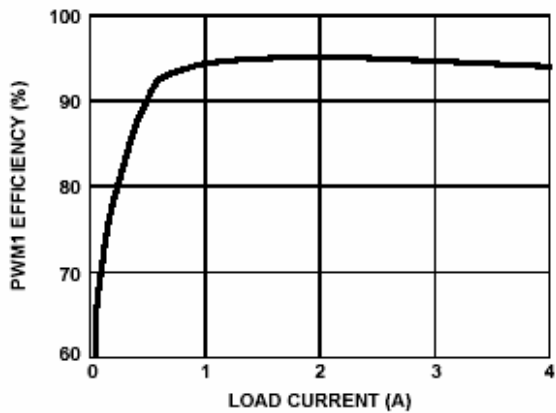


FIGURE 11. PWM1 EFFICIENCY vs LOAD (3.3V), $V_{IN} = 12V$

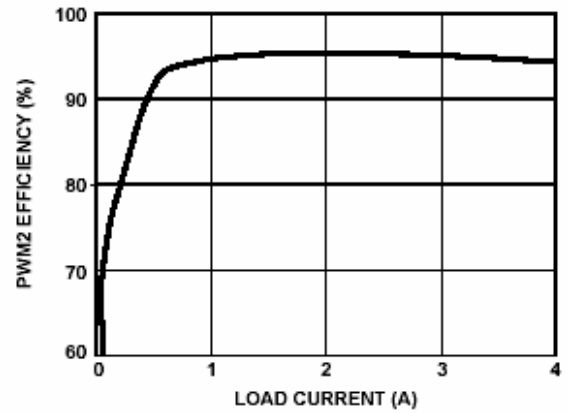


FIGURE 12. PWM2 EFFICIENCY vs LOAD (3.3V), $V_{IN} = 12V$

引脚描述

BOOT2, BOOT1—这些管脚为每个 PWM 转换器的上部 MOSFET 驱动器供电。该脚与自举电容和自举二极管负极的连接点相连。自举二极管的正极与 VCC_5V 脚相连。

UGATE2, UGATE1—这些管脚为上部 MOSFET 提供门驱动。

PHASE2, PHASE1—这些管脚与上部 MOSFET 的源极，输出滤波电感和下部 MOSFET 的漏极的连接点相连。

LGATE2, LGATE1—这些管脚为下部 MOSFET 提供门驱动。

PGND—该脚为 PWM1 和 PWM2 的下部门驱动器提供电源接地连接。该脚应与下部 MOSFET 的源极和外部输入电容的终端相连。

FB3, FB2, FB1—这些管脚与反馈电阻分压器相连，为相应的控制器提供电压反馈信号。它们设置转换器的输出电压。此外，PGOOD 电路使用这些输入来监控输出电压值。

ISEN2, ISEN1—这些管脚用来为电流反馈回路和过流保护监控下部 MOSFET 的电压降。

PGOOD—这是一个漏极开路的逻辑输出，用来显示输出电压的状态。当任一 PWM 的输出超过相应额定电压的 10%，或线性控制器的输出小于额定值的 75% 时，该脚变为低电平。

表 1 详细说明了 PGOOD 在不同的 $\overline{SD1}$ 和 $\overline{SD2}$ 输入时的 4 种情况。

第一种情况是当 $\overline{SD1}$ 和 $\overline{SD2}$ 管脚的输入都为高电平时，在所有 3 路需调节的输出的反馈至 FB 管脚的电压都达到调节范围内，且两路 PWM 的软启动过程（SS1 和 SS2）都完成时，PGOOD 为高电平。

另外两种情况是当 $\overline{SD1}$ 和 $\overline{SD2}$ 管脚的其中的一个输入为高电平，另一个为低电平时，这时表明系统需要控制其中一路 PWM 电源关断，同时使另外一路 PWM 电源保持正常工作。在这种情况下，在当要求正常工作的两路电源（PWM 和线性电

源）反馈至 FB 脚的电压都达到调节范围，且 PWM 的软启动过程（SS1 或 SS2）完成时，PGOOD 为高电平。

最后一种情况是当 $\overline{SD1}$ 和 $\overline{SD2}$ 管脚的输入都为低电平时，PGOOD 输出为低。

SGND—（TSSOP 封装的脚 20；QFN 封装的脚 17）这是小信号接地端，3 个控制器共有，必须与高电流接地端（PGND）分开。所有的电压电平值都相对于该脚。将附加的 SGND 脚与该脚相连。若使用 5V 电源，则将该脚与 VCC_5V 相连。为减小噪声，应在该脚旁边接一个小的陶瓷电容。

VIN—使用该脚给器件供电，提供范围为 5.6V 到 24V 的外部电源电压。若工作电压为 $5V \pm 10\%$ ，则将该脚接至 VCC_5V。

VCC_5V—该脚是内部 5V 线性调整器的输出。该输出为 IC，低端门驱动器提供偏压，为高端门驱动器的外部自举电路供电。IC 可直接由该脚上单一的 5V（ $\pm 10\%$ ）电源供电。当用作 5V 电源输入时，该脚必须外接 V_{IN} 。VCC_5V 脚必须通过一个靠近该脚的最小 $4.7\mu F$ 的陶瓷电容接地，以实现去耦。

SYNC—该脚用来同步两个或更多的 ISL6443 控制器。该脚使用时需通过一个 1K 的电阻接地；不用时，将其直接连至 VCC_5V。

SS1, SS2—这些管脚为相应的 PWM 控制器提供软启动功能。当芯片启用时，规定的 $5\mu A$ 上拉电流源为该脚与地之间连接的电容器充电。误差信号放大器的基准电压由 0 上升至 0.8V，软启动引脚上的电压也由 0 升至 0.8V。

$\overline{SD1}$, $\overline{SD2}$ —这些管脚为相应的 PWM 输出提供使能/禁用功能。当该脚为高电平时，输出启动。当该脚为低电平时，输出禁用。

GATE3—该脚是线性调整控制器的漏极开路的输出。

OCSET2, OCSET1—该脚与地之间的电阻可设置相应 PWM 的过流门限。

Table 1

$\overline{SD1}$	$\overline{SD2}$	LDO>75%?	90%<FB1<110%?	90%<FB2<110%?	SS1 完成?	SS2 完成?	PGOOD
1	1	Y	Y	Y	Y	Y	1
1	0	Y	Y	-	Y	-	1
0	1	Y	-	Y	-	Y	1
0	0	-	-	-	-	-	0

“Y”表示“是”；“-”表示“无论任何状态”

功能描述

概述

ISL6443 集成了两个同步降压转换器和一个线性控制器的控制电路。两个同步降压转换器异相工作，充分降低了输入纹波，因此也降低了对输入滤波器的要求。芯片有四根控制线 (SS1, SD1, SS2, SD2)，为每个同步降压转换器的输出提供独立的控制。

降压 PWM 控制器的固有频率为 300kHz。电流模式控制电路为调制器提供带有输入电压前反馈的斜坡输入，能很好地抑制输入电压变化，提供简化的环路补偿。

线性控制器可驱动 PNP 或 PFET，实现电压可调的超低压差稳压器。

内部 5V 线性调整器 (V_{CC_5V})

ISL6443 所有的功能元件都由一个芯片内，低压差 5V 调节器实现内部供电。最大的调整器输入电压是 24V。调节器的输出 (V_{CC_5V}) 通过一个 4.7μF 的旁路电容接地。该 LDO 的压差的典型值是 600mV，因此当 V_{CC_5V} 的电压高于 5.6V 时，V_{CC_5V} 的典型值是 5V。ISL6441 也采用一个低压切断电路，当 V_{CC_5V} 降至 4.4V 以下时，将禁用两个调整器。

内部 LDO 可提供 60mA 以上的电流为 IC 和低端门驱动器供电，为外部自举电容充电以及为较小的外部负载供电。当驱动大的，尤其是频率在 300kHz 的 FET，外部负载上将有很小的或没有电流。例如，具有 15nC 总的栅极电荷的单一大 FET 需要 15nC × 300kHz = 4.5mA 的电流。同样，具有大 FET，在较高的输入电压下，内部 5V 电源上的功耗也将增加。必须避免调节器的过量损耗以阻止结温升高。大 FET 可用在 5V ± 10% 的应用中。如果 V_{CC_5V} 的输出短路，热过载保护电路将启动。有 5V ± 10% 输入的应用中，将 V_{CC_5V} 与 VIN 脚相连。

软启动操作

当软启动开始时，由于有 5μA 的电流注入外部电容，激活的 PWM 通道的 SS 脚上的电压开始呈斜坡上升。输出电压跟随软启动电压变化。

当 SS 脚上的电压达到 0.8V，激活的 PWM 通道的输出电压达到规定值。软启动引脚上的电压继续升高。此时，PGOOD 和故障电路未启动。这就完成了软启动过程。SS 脚上电压的进一步升高并不影响输出电压。通过改变软启动电容的值，可以在启动时提供一系列主要的输出值。软启动的时间可由下面的等式计算得到：

$$T_{\text{SOFT}} = 0.8V \left(\frac{C_{\text{SS}}}{5\mu\text{A}} \right)$$

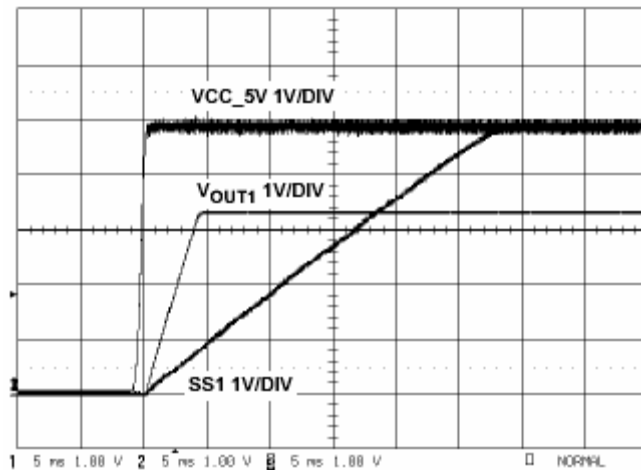


FIGURE 13. SOFT-START OPERATION

软启动电容可为两个 PWM 输出提供起动跟踪。这通过选择合适的软启动电容来实现，软启动电容的值等于相应的 PWM 输出电压的比值。例如，如果使用 PWM1=1.2V，PWM2=3.3V，则软启动电容值应为： $C_{\text{SS1}}/C_{\text{SS2}}=1.2/3.3=0.364$ 。图 14 显示了 $C_{\text{SS1}}=0.01\mu\text{F}$ ， $C_{\text{SS2}}=0.027\mu\text{F}$ 的软启动波形。

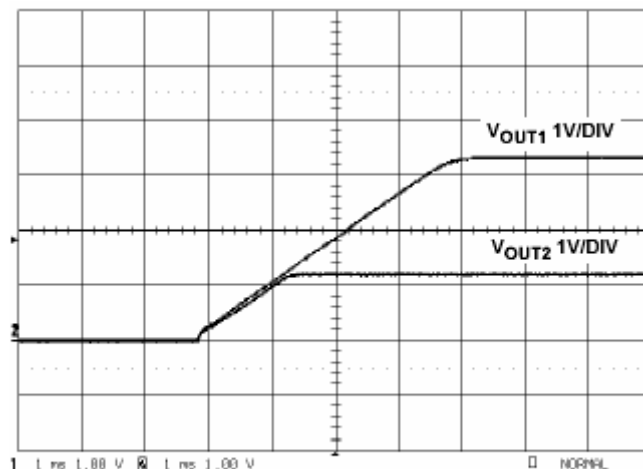


FIGURE 14. PWM1 AND PWM2 OUTPUT TRACKING DURING STARTUP

输出电压设计

输出端与地之间的电阻分压器设定每个 PWM 通道的输出电压。分压器的中点应接至 FBx 脚。输出电压值由下面的等式确定：

$$V_{\text{OUTx}} = 0.8V \left(\frac{R1 + R2}{R2} \right)$$

其中 R1 是反馈分压网络的上部电阻，R2 是 FBx 与地之间连接的电阻。

异相工作

ISL6443 的两个 PWM 控制器呈 180° 异相工作，以减小输入纹波电流。这降低了对输入电容纹波电流的要求，减小

了电源的感生噪声，同时增加了电磁干扰（EMI）。这可以有效降低元件成本，节省空间和减少 EMI。

双 PWM 典型的是同相工作，使上部 FET 同时导通。输入电容必须同时为两个控制器提供瞬时电流，导致纹波电压和电流增加。与输入电容的 ESR 相联系的功率损耗使较高的 RMS 纹波电流降低了效率。这就需要几个有低 ESR 值的电容并联，以使输入电压纹波和 ESR 相关的损失最小，或满足所需的纹波电流的额定值。

双同步异相工作时，ISL6443 的高端 MOSFET 成 180° 异相。两个调节器的瞬时输入电流的峰值不再重叠，导致 RMS 纹波电流减小和输入电压波动。这降低了所需的输入电容纹波电流的额定值，减少了电容的数量，并且降低了对 EMI 的屏蔽要求。典型工作曲线图展示了同步 180° 异相的工作情形。

输入电压范围

ISL6443 设计的工作输入电源范围是 4.5V 到 24V。而且，输入电压范围受最大占空比（ $D_{MAX}=93\%$ ）的限制。

$$V_{IN(\min)} = \left(\frac{V_{OUT} + V_{d1}}{0.93} \right) + V_{d2} - V_{d1}$$

其中，

V_{d1} =电感放电路径上总的寄生电压降，包括下部 FET，电感和 PC 板。

V_{d2} =充电路径上总的电压降，包括上部 FET，电感和 PC 板的电阻。

最大输入电压和最小输出电压受最小接通时间（ $t_{ON(\min)}$ ）的限制。

$$V_{IN(\max)} \leq \frac{V_{OUT}}{t_{ON(\min)} \times 300kHz}$$

其中， $t_{ON(\min)}=30ns$

门控逻辑

门控逻辑将生成的 PWM 信号转换为门驱动信号，提供放大，电平移动和击穿保护。门驱动器电路可在更宽的工作范围内帮助实现 IC 的最佳性能。MOSFET 的开关时间随着输入电压和类型的不同而变化，门控逻辑通过监控上部和下部 MOSFET 的栅极波形来提供适合的死区时间。击穿控制逻辑提供 20ns 的死区时间以确保上部和下部 MOSFET 不会同时导通，而发生击穿。

门驱动器

低端门驱动器由 VCC_5V 供电，提供 400mA 的峰值吸收/源电流。高端门驱动器也能提供 400mA 的电流。上部 N 通道 MOSFET 的门驱动电压由快速电容器自举电路产生。BOOT 脚和 PHASE 脚之间连接的自举电容为高端 MOSFET 驱动器供电。为限制 IC 的峰值电流，需在 UGATE 脚和和外部 MOSFET 的栅极之间接一个外部电阻。这个小的串联电阻同时也抑制了由电路板和 FET 输入电容上寄生电感引起的振荡。

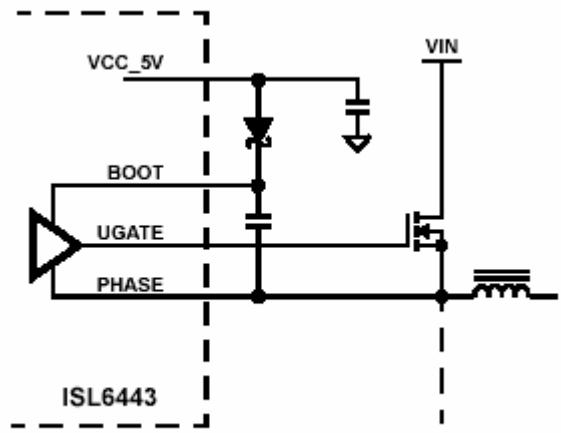


FIGURE 15.

启动时，低端 MOSFET 导通，使 PHASE 接地，以给 BOOT 电容充电至 5V。低端 MOSFET 断开后，高端 MOSFET 通过关闭 BOOT 和 UGATE 之间的内部开关实现导通。这就提供了所需的栅极-源极电压来导通上部 MOSFET，在 VIN 脚上产生 5V 的门驱动信号。驱动上部 MOSFET 所需的电流由内部 5V 调整器产生。

保护电路

转换器的输出被监控，受到过载，短路和欠压保护。输出的持续过载使 PGOOD 变为低电平，启动 hiccup 模式。

过流保护

两个 PWM 控制器都使用下部 MOSFET 的导通电阻， $r_{DS(ON)}$ ，来监控转换器的电流。检测到的电压降与 OCSETx 脚和地之间的电阻设置的门限相比较。

$$R_{OCSET} = \frac{(7)(R_{CS})}{(I_{OC})(R_{DS(ON)})}$$

其中， I_{OC} 是规定的过流保护门限， R_{CS} 是与 ISENx 脚相连的电流感应电阻。如果过流持续 2 个时钟周期，则 IC 进入 hiccup 模式，门驱动器断开，进入软启动。重新启动前，IC 在软启动过程中要循环两次。IC 会在软启动中持续循环，直到过流现象消除为止。在软启动过程中，一直处于 hiccup 模式，因此必须注意确保峰值电感电流不会超过软启动的过流门限。

因为有电流检测技术这一特性，为适应 $r_{DS(ON)}$ 较宽的变化范围，过流门限的值应为最大工作电流的 150% 到 180%。如果需要更精确的电流保护，则需在下部 MOSFET 的源极串联一个电流检测电阻。

过热保护

IC 包括一个过热保护电路，可在模片温度达到 150°C 时切断电路。在软启动过程，当模片温度降至 130°C 时，才恢复正常工作。

实现同步

SYNC 脚用来实现两个或多个控制器的同步。当两个控制器的 SYNC 脚相连时，其中一个变成主控制器，另一个与它实现同步。我们需要一个下拉电阻，确定其电阻值，使其提供一个允许 SYNC 脉冲通过的足够低的时间常数。不使用时，将该脚与 VCC_5V 相连。图 16 显示了在 16 倍开关频率工作下，SYNC 脚上的波形。

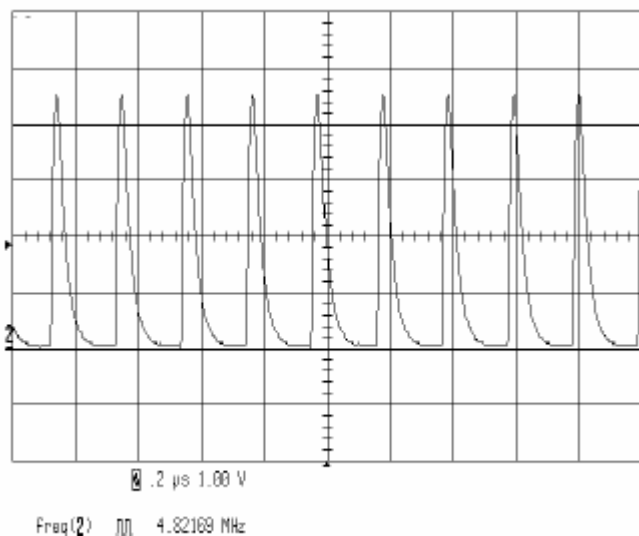


FIGURE 16. SYNC WAVEFORM

反馈回路补偿

为了减少外部元件的数量，简化确定补偿元件的过程，两个 PWM 控制器都有内部补偿误差信号放大器。为实现内部补偿，我们采用了几种设计方法。

首先，PWM 比较器上的斜坡信号与 VIN 脚上的输入电压成比例。这使调制器的增益与输入电压变化的比为常数。其次，负载电流成比例信号源自 PWM 时间间隔中下部 MOSFET 上的电压降，减去了比较器输入中的放大的误差信号。这就组成了一个内部电流控制回路。与 ISEN 脚相连的电阻可设置电流反馈回路的增益。下面的表达式可计算出所需的电流感应电阻的值，该值与最大工作负载电流和 MOSFET 的 $r_{DS(on)}$ 有关。

$$R_{CS} \geq \frac{(I_{MAX})(R_{DS(on)})}{32\mu A}$$

选择 R_{CS} 为电流抽样保持电路提供 $32\mu A$ 的电流，可确保精确的过流检测。

由于有电流回路反馈，调制器在由负载确定的频率下有斜率为 $-20dB$ 的单极响应。

$$F_{PO} = \frac{1}{2\pi \cdot R_o \cdot C_o}$$

其中， R_o 是负载电阻， C_o 是负载电容。对这种调制器，2 型的补偿电路通常很有效。

图 17 给出了 2 型放大器，以及它本身，电流模式调制器和转换器的响应曲线。2 型放大器，除了在原点的极点之外，

还有一个零点-极点对，导致在零点和极点之间的频率有一个平坦增益区域。

$$F_Z = \frac{1}{2\pi \cdot R_2 \cdot C_1} = 6kHz$$

$$F_P = \frac{1}{2\pi \cdot R_1 \cdot C_2} = 600kHz$$

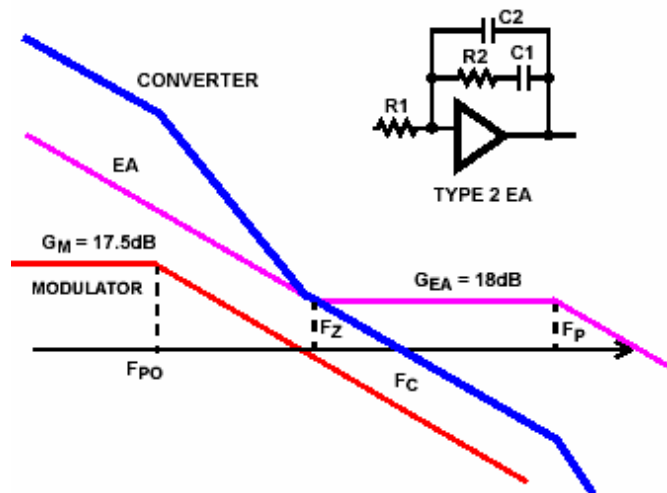


FIGURE 17. FEEDBACK LOOP COMPENSATION

零频率，放大器高频增益和调制器增益的选择可满足大多数典型应用的需求。在调制器衰减等于放大器高频增益的点上将出现交叉频率。系统设计者唯一要做的工作就是要确定输出滤波电容的值，以使负载的主极点约比放大器的零频率小十分之一。采用这种补偿，通过零点-极点成对相移提升 (zero-pole pair phase 'boost') 可获得许多相位余量。

只有当主要负载极点通过额外的输出滤波电容放置在接近频率轴左边的位置时，才会出现条件稳定性。在这种情况下，在 $1.2kHz$ 到 $30kHz$ 范围内的 ESR 为零，可提供额外的相位提升。通过在分压器的 R_1 上并联一个电容 C_2 ，也可实现一些相位提升， R_1 可设置输出电压的值。详细内容请参考输出电感和电容选择部分。

线性调整器

线性调整器控制器是额定增益为 $2A/V$ 的跨导放大器。N 通道 MOSFET 输出器件可吸收最小 $50mA$ 的电流。基准电压是 $0.8V$ 。控制器的输入有 $0V$ 差分，可吸收 $21mA$ 的电流。可使用外部 PNP 晶体管或 PFET 调整元件。回路极点接在 PNP 的基极（或 PFET 的栅极），电容接在发射极和基极（PFET 的源极和栅极）之间。但是，如果主要极点接在输出端，在调节器的输出端，电容接地，会有更好的负载瞬变响应。

无负载情况下，调整晶体管的漏放电流在晶体管断开的情况下，仍可为输出电容供电。通常，因为反馈电阻消耗过量的电荷，这并不成问题。但是，输出电容的电荷增大会使

V_{LDO} 升高, 超过它的设定值。必须注意确保在整个温度范围内, 反馈电阻的电流要高于调整晶体管的漏放电流。

线性调整器的输出可由其中一个 PWM 供电。使用一个 PFET 时, 当 PWM 的输出升高, 超过了 PFET 调整器件的门限, 线性调整器的输出将跟踪 PWM 电源。PWM 和线性调整器的输出之间的电压差分就为负载电流乘以 $r_{DS(ON)}$ 的值。图 18 显示了线性调整器 (2.5V) 和 PWM (3.3V) 的启动波形。

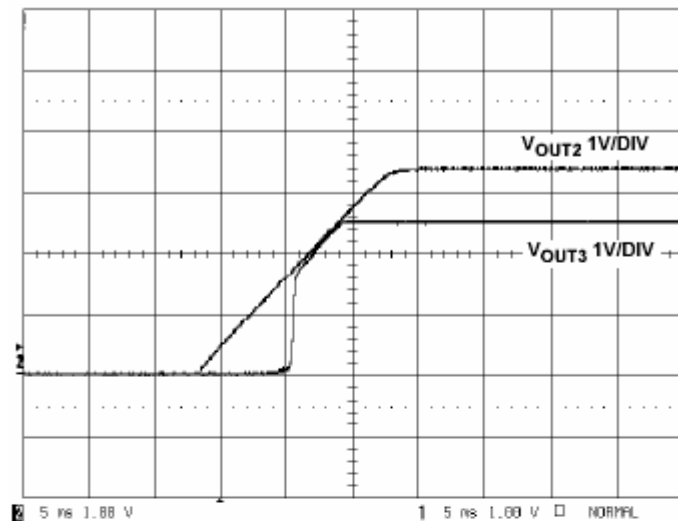


FIGURE 18. LINEAR REGULATOR STARTUP WAVEFORM

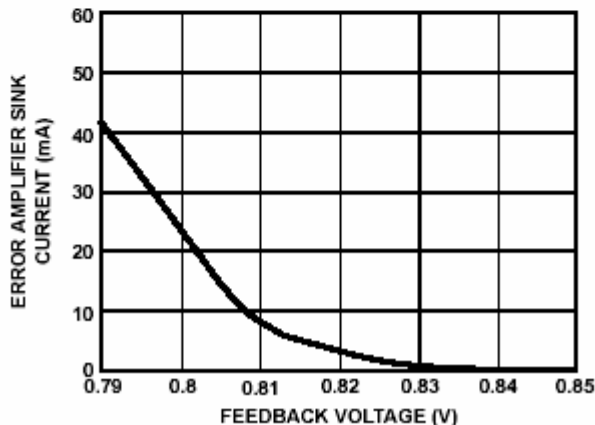


FIGURE 19. LINEAR CONTROLLER GAIN

基极驱动降噪

高阻抗基极驱动器对系统噪声很敏感, 尤其当线性调整器的负载较小时。基极驱动上的电容耦合开关噪声或电感耦合 EMI 导致基极电流波动, 在线性调整器的输出上表示为噪声。使基极驱动追踪轨迹尽可能短, 并远离降压转换器, 以使噪声耦合最小。和门驱动器串联的电阻降低了由 PWM 生成的开关噪声。此外, 在基极-发射极电阻上应跨接一个旁路电容。该旁路电容加上晶体管的输入电容可组成第二极, 破

坏线性调整器的稳定性。因此, 稳定性要求决定基极-发射极电容的最大值。

布局准则

认真注意到布局的要求对基于 ISL6443 的直流-直流转换器的成功实现是非常必要的。ISL6443 工作在非常高的频率下, 因此, 开关时间非常短。在这种开关频率下, 即使最短的连线也会产生较大的阻抗。同时, 峰值门驱动电流也会在极短的时间内显著升高。电流从一个器件到另一器件的转换速度引起互连阻抗和寄生电路元件上的电压尖脉冲。该电压尖脉冲会降低效率, 产生 EMI, 增加过压应力和阻尼振荡。仔细选择元件和合适的 PC 板布局, 可使电压尖脉冲的值最小。

使用 ISL6443 的直流-直流转换器有两个关键的部分: 开关电源部分和小信号部分。从布局的观点看, 开关电源部分是最关键的, 因为它们交换大量能量, 易于产生大量噪声。小信号部分和灵敏节点相连, 或提供临界偏流。建议使用多层印刷电路板。

布局考虑

1. 输入电容, 上部 FET, 下部 FET, 电感和输出电容应首先放置。在最上层电路板上将这些有功部分隔开, 它们的接地端相互接近。将输入高频去耦陶瓷电容器放在非常靠近 MOSFET 的地方。
2. 电源接地使用单独的接地平面。在靠近 IC 的地方将 SGND 和 PGND 相连。在其他任何地方, 不要将它们相连。
3. 由输入电容, 顶部 FET 和底部 FET 构成的回路必须尽可能小。
4. 确保从输入电容到 MOSFET, 到输出电感和输出电容的电流通路尽可能短, 同时有最大的容许线宽。
5. 将 PWM 控制器靠近下部 FET 放置。LGATE 的连接应该较短而且较宽。IC 最好放置在无噪声接地的地方。在该区域应避免出现开关接地回路电流。
6. 将 V_{CC_5V} 旁路电容接在非常靠近 IC 的 V_{CC_5V} 脚的地方, 将它的接地端接至 PGND 接地平面。
7. 将门驱动元件 BOOT 二极管和 BOOT 电容放在接近控制器 IC 的地方。
8. 输出电容应尽量靠近负载。用短而宽的敷铜层连接输出电容和负载, 避免产生感抗和阻抗。
9. 使用镀铜多边形或宽而短的迹线连接上部 FET, 下部 FET 和输出电感的联结处。PHASE 节点到 IC 的连接也要很短。因为相位节点有非常高的 dv/dt 电压, 所以节点和周围电路之间形成的杂散电容易于使开关噪声加倍。
10. 使所有的高速交换节点的布线远离控制电路。
11. 在 IC 附近建立一个小的模拟接地平面。将 SGND 脚接至该平面。包括反馈电阻, 电流极限设置电阻以及 SYNC/SDx 下拉电阻的所有的小信号接地通路都接至 SGND 平面。
12. 确保反馈和输出电容直接相连且连接较短。

元件选择准则

MOSFET 考虑

选择逻辑电平 MOSFET 实现最佳效率，提供可能的较宽的输入电压范围和输出功率需求。PWM1 和 PWM2 输出的每个同步整流降压转换器都使用一个 N 通道 MOSFET。

MOSFET 的选择基于 $r_{DS(ON)}$ ，门电源需求以及热管理考虑。

功耗包括两部分损失：传导损耗和开关损耗。这些损耗按照占空因数（见下面的等式）分布在上部和下部 MOSFET 之间。传导损耗是下部 MOSFET 功耗的主要部分。只有上部 MOSFET 有重要的开关损耗，因为下部器件接通和断开的电压几乎为零。等式呈现了线性电压-电流的转换，不包括下部 MOSFET 的体二极管的逆回复产生的功耗。

$$P_{UPPER} = \frac{(I_O^2)(r_{DS(ON)})(V_{OUT})}{V_{IN}} + \frac{(I_O)(V_{IN})(t_{SW})(F_{SW})}{2}$$

$$P_{LOWER} = \frac{(I_O^2)(r_{DS(ON)})(V_{IN} - V_{OUT})}{V_{IN}}$$

较大的选通电极充电增加了开关时间 t_{SW} ，也增加了上部 MOSFET 的开关损耗。根据封装热阻规格计算温度的升高值，确保两个 MOSFET 都在高环境温度下的最大结温范围内。

输出电容的选择

每个输出的输出电容有统一的要求。通常，输出电容应满足包括纹波电压和负载瞬变的动态调节的需要。输出电容的选择也依赖于输出电感，因此在选择输出电容时应先分析电感。

限制转换器对负载瞬变的其中一个参数是电感电流回转到新的水平所需的时间。ISL6443 将提供 0% 或 71% 的占空比，作为对负载瞬变的响应。

响应时间是将电感电流从初始值回转到负载电流值所需的时间间隔。在这段时间间隔里，电感电流和瞬变电流的差值必须由输出电容提供。响应时间最短可使所需的输出电容最小。同样，在硬盘驱动器和光驱中，如果负载瞬变上升时间比电感响应时间慢，将会减小所需的输出电容值。

在电感响应时间中提供完全的上升阶跃和瞬变负载电流所需的最大电容值可计算如下：

$$C_{OUT} = \frac{(L_O)(I_{TRAN})^2}{2(V_{IN} - V_O)(DV_{OUT})}$$

其中， C_{OUT} 是所需的输出电容值， L_O 是输出电感， I_{TRAN} 是瞬变负载电流值， V_{IN} 是输入电压， V_O 是输出电压， DV_{OUT} 是负载瞬变允许的输出电压降。

高频电容一开始提供瞬变电流，减慢降压电容器上的负载变化率。降压滤波电容的值一般由 ESR(等效串联电阻)，额定电压需求和实际电容需求决定。

输出电压脉动归因于电感纹波电流和输出电容的 ESR，规定为：

$$V_{RIPPER} = \Delta I_L(ESR)$$

其中， I_L 的计算在电感选择部分。

高频去耦电容应放在尽可能靠近负载的电源脚的地方。注意在电路板的布线中不要加入电感，否则将会抵消这些低电感元件的有效性。特殊的去耦要求请与负载电路的制造商联系。

对降压电容器，仅需使用为 300kHz 下开关稳压器的应用而设计的专门的低 ESR 电容。大多数情况下，多个小容量电解电容比单一的大容量电容的性能更好。

输出电容选择的稳定性要求是“ESR zero”， f_z ，在 1.2kHz 和 30kHz 之间。这个范围由在 6kHz 处一个补偿零点设置。ESR 零点是内部任意一边零点的 5 倍，有助于增加控制回路的相位容限。因此，

$$C_{OUT} = \frac{1}{2\pi(ESR)(f_z)}$$

总之，输出电容必须满足以下 3 条标准：

1. 当输出电感电流回转到负载瞬变的值时，输出电容必须有足够的容量，以维持负载瞬变过程中的输出电压。
2. ESR 必须足够低，以满足输出电感电流引起的输出电压脉动的需求。而且，
3. ESR 零点应该有较大的范围，以提供附加的相位容限。

ISL6443 推荐的输出电容的值在 150μF 和 680μF 之间，以满足外部补偿的稳定性标准。建议使用铝电解电容，POSCAP 或钽电容。可使用低 ESR 的陶瓷电容，但需要经过严格的回路分析以保证稳定性。

输出电感的选择

PWM 转换器需要输出电感。输出电感要满足输出电压脉动的需要。电感值决定转换器的纹波电流，纹波电压是纹波电流和输出电容 ESR 的函数。纹波电压的表达式在电容选择部分给出，纹波电流可由下面的等式估算：

$$\Delta I_L = \frac{(V_{IN} - V_{OUT})(V_{OUT})}{(f_s)(L)(V_{IN})}$$

对 ISL6443，使用的电感的值在 6.4μH 到 10μH 之间。

输入电容的选择

降压输入电容的重要参数是额定电压和额定 RMS 电流。为了保证可靠工作，降压输入电容的选择应考虑电路所需的最大输入电压和最大 RMS 电流之上的电压和电流额定值。电容的额定电压至少应大于最大输入电压的 1.25 倍，保守值为 1.5 倍。交流 RMS 输入电流随负载变化。输入电容提供的总的 RMS 电流为：

$$I_{RMS} = \sqrt{I_{RMS1}^2 + I_{RMS2}^2}$$

其中，

$$I_{RMSx} = \sqrt{DC - DC^2} \cdot I_O$$

DC 是相应 PWM 的占空比。

依赖于输入电源和它的阻抗的具体值，大多数（或所有的）电流都由输入电容提供。图 20 显示了让 PWM 转换器异相工作的优点。如果转换器同相工作，合并的 RMS 电流将为代数和，远大于所示的值。合并的异相电流为单独的反射电流的平方和，再开平方。这个值远小于合并的同相电流。

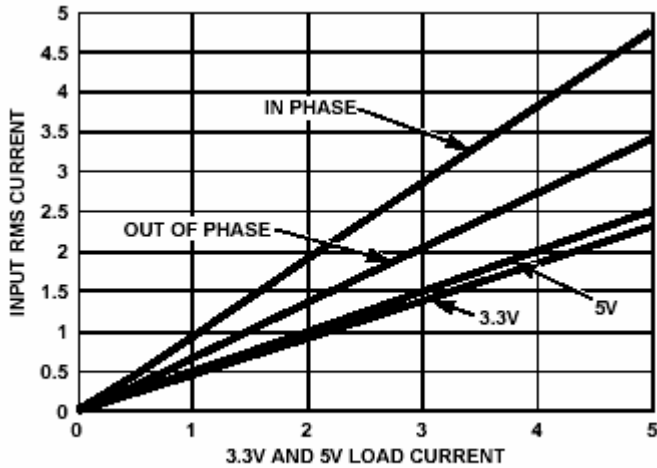
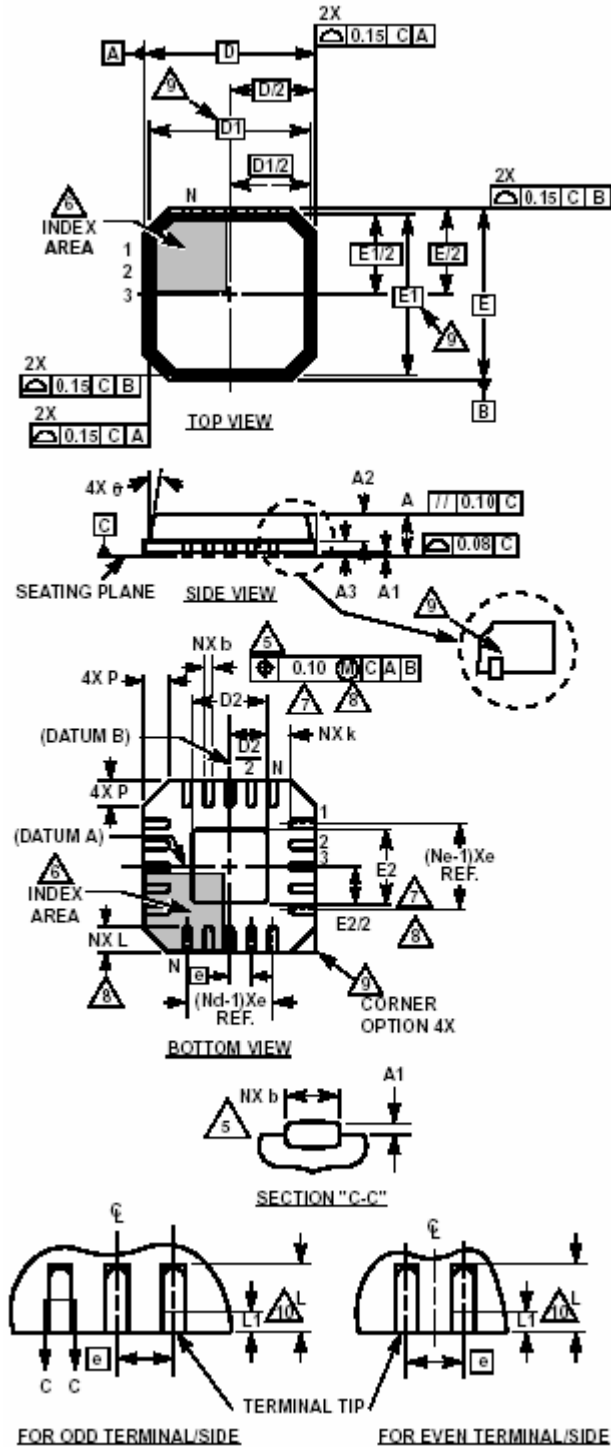


FIGURE 20. INPUT RMS CURRENT vs LOAD

使用混合的旁路输入电容来控制 MOSFET 上的电压脉动。使用陶瓷电容做为高频去耦和降压电容，提供 PMS 电流。可在非常靠近上部 MOSFET 的地方放置一个小的陶瓷电容，以抑制由寄生电路阻抗引起的电压。

对于允许通孔元件的电路板设计，三洋OS-CON®系列提供低ESR和很好的温度性能。对于表面安装设计，可使用固体钽电容器，但是必须注意的是电容冲击电流的额定值。这些电容必须能够操控上电时的冲击电流。AVX的TPS系列经过了冲击电流的测试。

四边形扁平无引脚塑料封装 (QFN)
微引脚结构塑料封装 (MLFP)



L28.5x5

28 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE
(COMPLIANT TO JEDEC MO-220VHHD-1 ISSUE 1)

SYMBOL	MILLIMETERS			NOTES
	MIN	NOMINAL	MAX	
A	0.80	0.90	1.00	-
A1	-	0.02	0.05	-
A2	-	0.65	1.00	9
A3	0.20 REF			9
b	0.18	0.25	0.30	5,8
D	5.00 BSC			-
D1	4.75 BSC			9
D2	2.95	3.10	3.25	7,8
E	5.00 BSC			-
E1	4.75 BSC			9
E2	2.95	3.10	3.25	7,8
e	0.50 BSC			-
k	0.20	-	-	-
L	0.50	0.60	0.75	8
N	28			2
Nd	7			3
Ne	7			3
P	-	-	0.60	9
θ	-	-	12	9

Rev. 1 11/04

NOTES:

1. Dimensioning and tolerancing conform to ASME Y14.5-1994.
2. N is the number of terminals.
3. Nd and Ne refer to the number of terminals on each D and E.
4. All dimensions are in millimeters. Angles are in degrees.
5. Dimension b applies to the metallized terminal and is measured between 0.15mm and 0.30mm from the terminal tip.
6. The configuration of the pin #1 identifier is optional, but must be located within the zone indicated. The pin #1 identifier may be either a mold or mark feature.
7. Dimensions D2 and E2 are for the exposed pads which provide improved electrical and thermal performance.
8. Nominal dimensions are provided to assist with PCB Land Pattern Design efforts, see Intersil Technical Brief TB389.
9. Features and dimensions A2, A3, D1, E1, P & θ are present when Anvil singulation method is used and not present for saw singulation.

Intersil公司所有产品的制造，组装和测试都采用ISO9000质量体系标准。

查阅Intersil公司的质量证明书，请登陆www.intersil.com/design/quality。

Intersil的产品仅跟说明书一致。Intersil公司保留在任何时候，不事先通知的情况下修改电路设计，软件和/或说明书的权利。因此，提醒读者在订货前注意检查数据手册的时效性。Intersil提供的信息是准确可靠的。但是，Intersil或其子公司不对它的使用承担任何责任；也不对使用它可能产生的任何侵犯专利权或第三方其他权利的行为承担任何责任。除非有Intersil或其子公司的专利证书或专利权，Intersil不会隐含授予任何许可证。

关于Intersil公司和产品的更多信息，请浏览：www.intersil.com