



## 前言

ZVS（零电压开关）全桥拓扑已经出现多年，并且已成为业界主流。这种结构的主要缺点就是需要一个附加的特定波形发生器来生成正确的栅极驱动信号。使用 Intersil 公司的 ISL6752 和 ISL6753 等器件，就可以克服上述缺点。使用这些器件，不仅可以使设计人员简化 ZVS 全桥控制器的设计，还可以带来额外的好处。

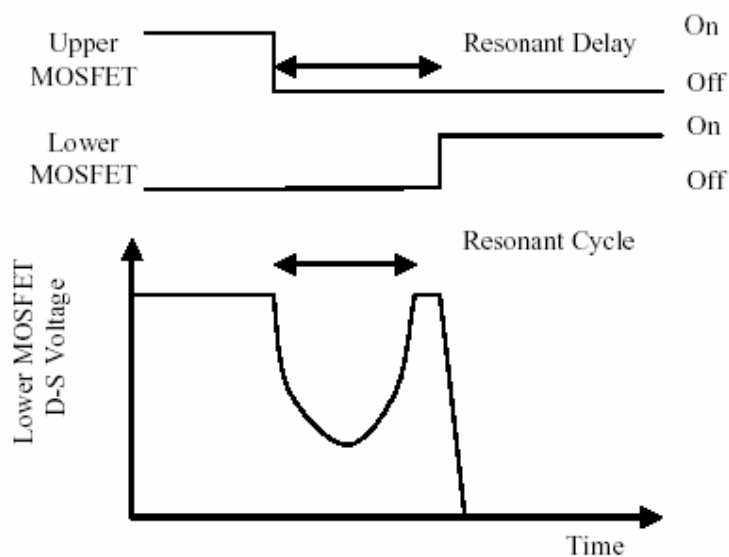
## 适用范围

本文提供了在使用 ISL6752 和 ISL6753 等器件设计 ZVS 全桥结构时的一些有用信息和技巧，这些技巧包括设置谐振时间和同步整流器时序。更多有用信息，请参阅应用笔记 AN1002 和 AN1246。

## 谐振时间和能量

对 ZVS 全桥结构进行的关键操作之一就是基于谐振时间要求来设置打开下 MOSFET 管的延时。这个操作可以通过调节该 IC 上的 RESDEL 管脚上的电压来实现。在初始时刻，在变换器上电之前，将 RESDEL 管脚上的电压设置为 1.8V，这样就在上 MOSFET 管关断与下 MOSFET 管打开之间设置了较大的延时。推荐在这个过程中，禁用同步整流器。禁用的方法，参见第三页的“同步整流器”一节。

上述调整步骤完成后，缓慢增加 ZVS 全桥的供电电压，保持负载处于最小的电流状态。同时监测上 MOSFET 管的栅-源压降和对角位置的下 MOSFET 的栅-源、漏-源压降。图 1 给出了 ZVS 全桥上的电压波形。



**FIGURE 1. RESONANT DELAY AND TRANSITION**

Upper MOSFET: 上 MOSFET

Lower MOSFET: 下 MOSFET (这里的上下是对角的——译注)

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Resonant Delay: 谐振延时

Resonant Cycle: 谐振周波

On: 开

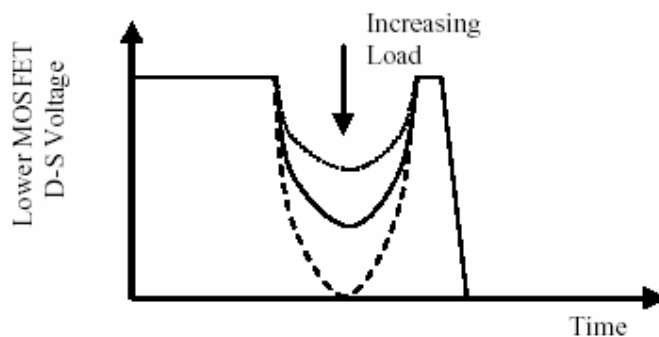
Off: 关

Time : 时间

**图 1 谐振延时和转换**

下 MOSFET 管上的漏-源之间的压降波形应该能够清楚的看出谐振周波, 下 MOSFET 管打开的时间故意滞后于谐振过渡的时段。如果没有看到谐振周波, 略微增大负载电流。谐振是由于变压器的漏感和漏源寄生电容导致的。该电容取决于 MOSFET 的电容大小。

谐振周波的幅度取决于负载和存贮于漏感能量大小。图 2 给出了不同负载大小对谐振周波幅度的影响。



**FIGURE 2. RESONANT CYCLE WITH LOAD**

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Increasing Load: 负载增大

Time: 时间

### 图 2 增加负载后的谐振周波

随着负载的增大,会有更多的能量对电容进行充放电,这样就会存在一个点,在该点处下 MOSFET 管的漏-源压降达到 0V。这就是实现 ZVS 临界负载。当负载进一步增大的时候,电流就开始流经 MOSFET 管的体内二极管,从而钳位在电路的地电平上。图 3 表明了当存在过多的 ZVS 负载电流的时候,对谐振周波幅度的影响。下 MOSFET 管的漏-源极压降波形,在谐振周期内接近 0V 的附近展宽。

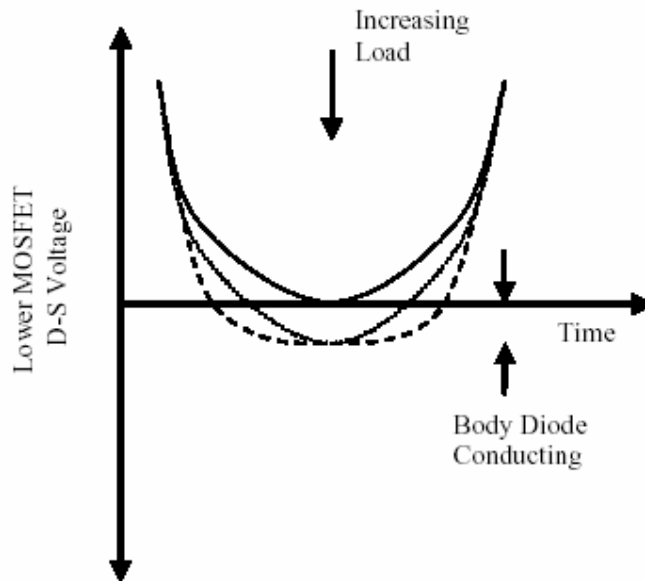


FIGURE 3. RESONANT CYCLE ABOVE MIN ZVS LOAD

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Increasing Load: 负载增大

Time: 时间

Body Diode Conducting: 体二极管导通

### 图 3 超过临界负载时的谐振周波

在体二极管导通的这个时间段内,多余的能量返回至源极,但是会在体二极管内有耗散。谐振电流流经内部的体二极管,在电流反向的时候会表现出反向恢复的特性。理想的情况是,谐振能量尽可能的大,这样就使得最小 ZVS 负载电流尽可能的小。但是,一旦超过最小 ZVS 负载电流,多余的谐振能量就会带来不利因素,并不需要多余的能量。谐振电流可以大到能够影响电流传感信号的程度,表现为上升电流毛刺,但是进一步观测表明,这个毛刺信号是正弦型的,而不是一个毛刺尖峰。已经开发出了相应的电路来调整存贮的能量大小以避免能量浪费并且减少循环电流(简称环流)。

看待这个谐振周波另外一种方式,就是这种行为与传统全桥中 MOSFET 管关断时,泄漏电感与寄生电容所形成的振荡现象非常相似。不同之处在于,变压器原边被上 MOSFET 管钳位,因此振荡出现在晶体管打开的时刻而不是关断的时刻。

## 谐振延时调节

可以通过电位器改变 IC 上的 RESDEL 管脚的电压来调节谐振延时。

降低该电压会减小定时波形的谐振延时。理想的情况下，应当将谐振延时设置成：使得在谐振周波的最低点时，打开下 MOSFET 管，从而使其漏-源极电压最小。这个谐振延时称为谐振转换，如图 4 所示。

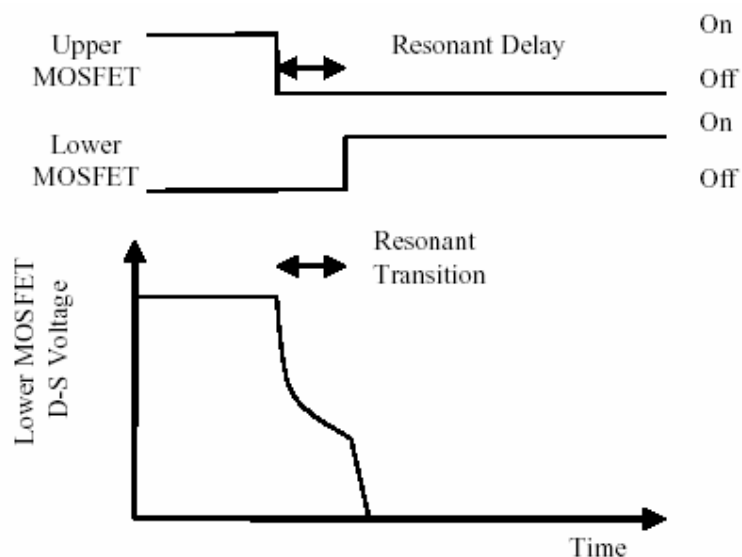


FIGURE 4. RESONANT DELAY ADJUSTMENT

Upper MOSFET: 上 MOSFET

Lower MOSFET: 下 MOSFET

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Resonant Delay: 谐振延时

Resonant Transition: 谐振转换

On: 开

Off: 关

Time : 时间

图 4 谐振延时调节

在最小谐振电压时打开晶体管，可以保证 ZVS 变换器所需负载电流最小。但是，如果负载增大，就会出现显著的谐振能量，体二极管正向压降会导致额外损耗，如图 5 所示。

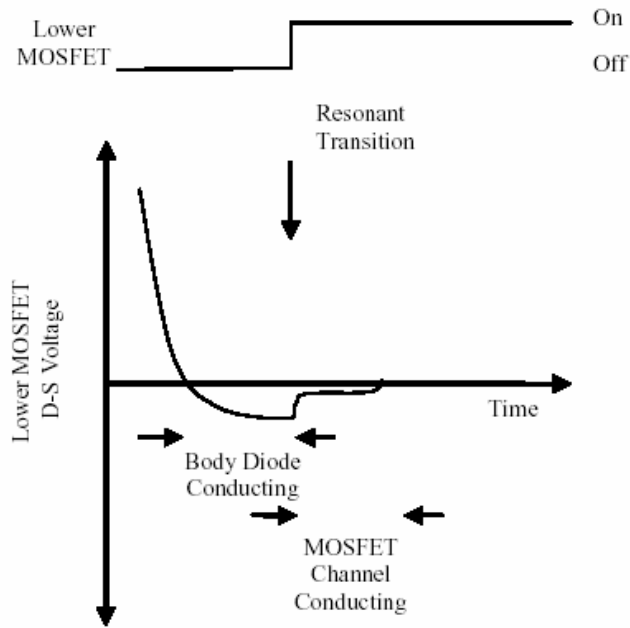


FIGURE 5. RESONANT CYCLE ABOVE MIN LOAD

Lower MOSFET: 下 MOSFET

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Resonant Transition: 谐振转换

On: 开

Off: 关

Time : 时间

Body Diode Conducting: 体二极管导通

MOSFET Channel Conducting: MOSFET 沟道开通

图 5 大于临界电流时的谐振周波

体二极管在谐振周期的前段时间内一直导通，直至下 MOSFET 管打开为止。自此谐振电流能够流经 MOSFET 的沟道。只要 MOSFET 管的  $I \times R_{DS(ON)}$  压降小于体二极管的正向压降，二极管就不会导通。即使下 MOSFET 管打开，电流也不会立即改变极性。电流变化的速率取决于供电电压与漏感的比值，即  $di/dt = V/L$ 。

如果功耗或者谐振电流成了问题，可以采用两种方法来处理。一个是，尽快打开下 MOSFET 管，尽快赶上谐振的边沿。此法虽然减小了体二极管的导通时间，但会增大变换器实现完全 ZVS 的临界负载。另一个方法，通过降低漏感或者寄生电容，来降低谐振频率。这种方法可以减小续流二极管的导通时间，还可以减小最大占空比时谐振周期所占的时间。一般倾向于降容。降感会减小存储能量，也提高了完全 ZVS 的临界负载。

## 开关损耗和 EMC

在传统的全桥结构中，MOSFET管中的功率损失主要是由于开关损耗和导通损耗两方面造成。一般来说，设计人员会通过尽可能快速的打开或者关断MOSFET管来减少开关损失。这样做会引起更大的由于漏-源极之间的快速跳变的电应力引起的开关噪声，导致EMC问题。

在ZVS全桥结构中，这不是主要问题。在负载大于临界值的时候，下MOSFET管的功率损耗主要是导通损耗。然而，随着负载电流的减小，开关损失会占主要作用，而导通损失会减小。甚至当ZVS全桥工作于临界电流以下时，开关损失也不会引起太大的问题，如同传统全桥结构那样。设计人员可以灵活选择慢速打开下MOSFET管。图6给出了负载小于临界值时的下MOSFET管的打开情况。

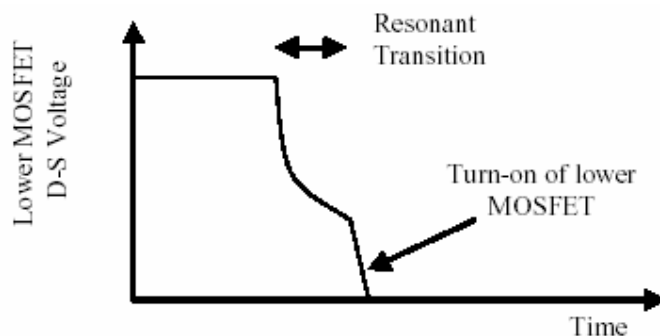


FIGURE 6. HARD SWITCHING OF LOWER MOSFET

Lower MOSFET D-S voltage: 下 MOSFET 的 D-S 压降

Resonant Transition: 谐振转换

Time : 时间

Turn-on of lower MOSFET: 打开下 MOSFET 管

图 6 下 MOSFET 管的硬开关

如果谐振周期很短或MOSFET管打开很慢的话，可能很难看出来谐振周期在什么时候结束和下MOSFET管在什么时候打开。缓慢改变负载大小，这两种情况应可以分辨出来。

采用ISL6752或ISL6753构成的ZVS全桥结构的独一无二的优点就是，上MOSFET管始终处于零电压开关状态，因为内部的体二极管在MOSFET管打开之前就开始导通。这是由于惯性电流(续流)在上MOSFET管中进行循环的缘故。但是，上管还承担原边开关电流和部分或者全部的原边惯性电流。因此，高于临界负载时，上MOSFET管的总功率损耗要比下MOSFET管大。通常情况下，类似于下MOSFET管，会在 $R_{DS-ON}$ 与MOSFET的电容之间取一个折衷。对于上MOSFET管

来说，可以采用低的 $R_{DS-ON}$ ，以保持导通损失尽可能的低，因为没有开关损耗。还有，因

为这种结构通常应用于大功率情况下，器件的封装形式采用TO-220和TO-247封装。器件的金属片(连接至漏极)可以直接安装散热片，而不引起任何EMC问题，这是因为该漏极接平稳直流电压。而下MOSFET管就不具有这样的优点，因为金属片电应力在电源两轨之间快速破坏。一般很难看见上MOSFET管比下MOSFET管大的情况。唯一的缺点是低 $R_{DS-ON}$ 的下MOSFET管具有更大的电容，会使得临界电流和谐振周期都增大。

上MOSFET管的体二极管只在上管状态变换之前保持导通，之后电流流经MOSFET沟道。

不管是上MOSFET管还是下MOSFET管，续流二极管能否反向恢复是一个问题，有几种方案可供考虑。一个方案是优化体二极管性能。例如，国际整流器公司（International Rectifier）的产品IRF840LC就比标准的IRF840具有更低的二极管电荷。另一个方案是降低MOSFET管的导通电阻  $R_{DS-ON}$ ，但是这样会增大谐振的时间和谐振的电容。英飞凌（Infineon）公司的CoolMOS™，相同的基片大小，导通电阻  $R_{DS-ON}$  为标准MOSFET管的四分之一，同时具有相同的电容。这些器件会显著降低功率损耗，同时对电路几乎没有影响。

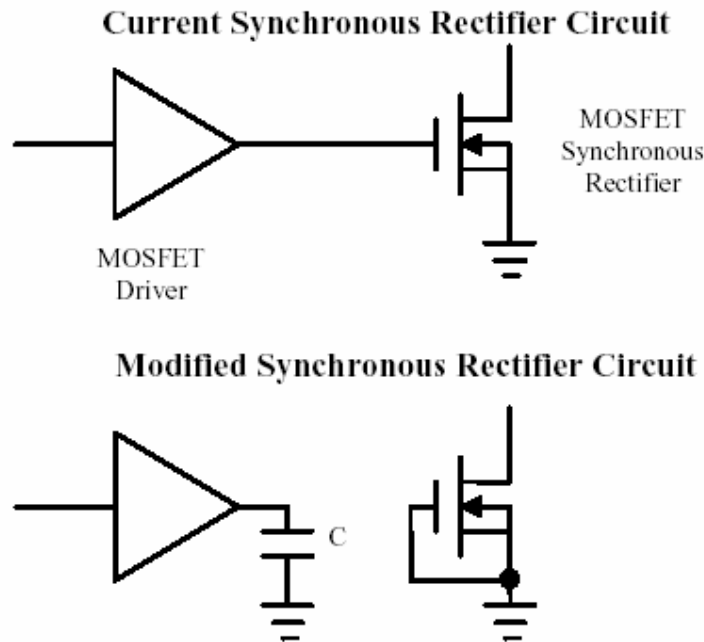
一般来说，ZVS全桥结构具有的另外一个优点就是波形比较干净。不需要缓冲电路来阻尼MOSFET管关断时初级变压器上引起的振荡电压。相反，波形具有与谐振转换一样的正弦边沿。漏-源极之间的电压变化速率  $dV/dt$  小于传统的硬开关的全桥拓扑。由于漏感不是问题（恰好需要利用），原-副边绕组间距可以增大，来减小原-副边之间的分布电容。这样做也会降低流经变压器的共模电流。一般来说，ZVS全桥的EMC噪声要远远小于传统全桥结构的噪声。

## 同步整流器

一旦谐振延时调整完毕，就可以考虑同步整流时序了。相对于桥路中的MOSFET管的驱动信号，ISL6572可以使得同步整流器的信号超前或者滞后。这样就能够灵活调节时序，但是，为工作单元设置合适的时序是很困难的。同步整流器打开太早或者关断太迟，MOSFET管都会将变压器的副边短路。短路会在初级线圈中引起很大的电流尖峰，会对电流检测电路造成影响。如果重叠的时间足够大，变换器会过流烧毁。

为了避免这样的问题，按照下面的步骤，设计人员就能够实现在同步整流器工作时，不会引起逆变器的潜在问题。

第一步就是对同步整流器电路进行下面的改动。



**FIGURE 7. MODIFIED SYNCHRONOUS RECTIFIER CIRCUIT**

Current Synchronous Rectifier Circuit: 当前的同步整流器电路

MOSFET Driver: MOSFET管驱动器

MOSFET Synchronous Rectifier: MOSFET同步整流器

Modified Synchronous Rectifier Circuit: 改动后的同步整流器电路

**图 7 改动后的同步整流器电路**

将MOSFET管的驱动信号断开，这样一来，MOSFET管工作于标准的整流器状态，只使用内部的续流二极管。在驱动器的输出端增加一个电容，来模拟同步整流器的栅极负载。电容的大小应该等于总栅极电荷除以最大的栅极驱动电压。可以在MOSFET的厂家提供的数据手册中查到其总栅极电荷的大小。将MOSFET管的栅极短接至地，这样该MOSFET管保持关断状态，电流只流经内部的续流二极管。快速升高漏-源极的电压，由于米勒电容，会使得MOSFET管打开。将栅-源短接，能够防止这样的事情发生。对于全部同步整流管做上述处理，输出就会像标准整流器的输出一样，二极管具有大量反向恢复电荷。可能需要跨接二极管两端的R-C缓冲器，阻尼电压振荡。

一旦上述步骤完成，将变换器上电，使之具有较小的负载，观察MOSFET管的输出驱动信号波形和MOSFET管的D-S之间的压降。驱动同步整流器中的MOSFET管的一个基本概念，就是在续流二极管导通之后打开MOSFET管，而在MOSFET管中的电流开始反向之前关闭MOSFET管。通过这个过程，可以很容易发现驱动信号的问题，并在重新连接同步整流器之前改正存在的问题。要求的波形如图8所示。

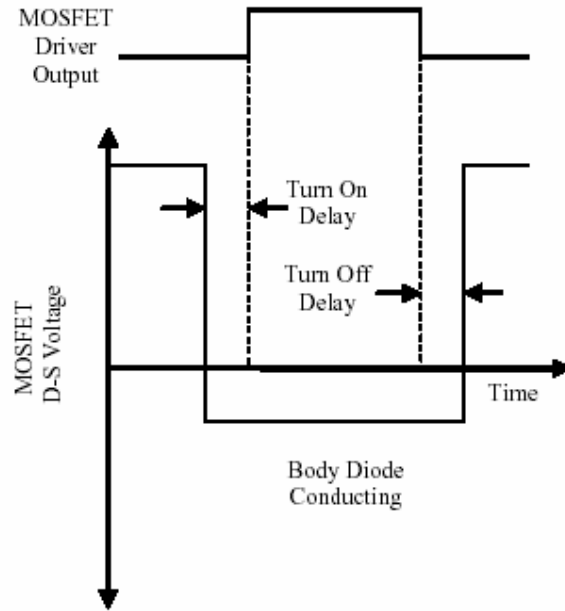


FIGURE 8. TIMING WAVEFORMS SETUP

MOSFET Driver Output: MOSFET管驱动输出  
MOSFET D-S Voltage: MOSFET管D-S压降  
Turn On Delay: 打开延时  
Turn Off Delay: 关断延时  
Body Diode Conducting: 续流二极管导通  
Time: 时间

图 8 波形时序的设置

开始的时候，全负载下，打开延时和关断延时应该设置成100ns。ISL6752的时序允许桥路MOSFET管与同步整流器超前或者滞后。这种时序调整，使得打开沿与关断沿同步移动。大多数类似的设计都要求一个沿通过一个RCD网络来进行延时，这样一来，该延时的大小可以精确调整。这样的电路如图9所示。

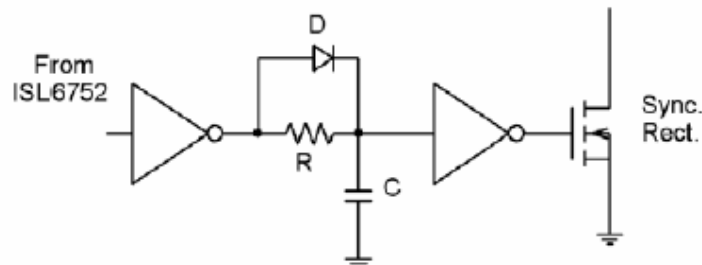


FIGURE 9. R-C-D NETWORK

From ISL6752: 来自于ISL6752  
Sync Rect: 同步整流器

图 9 R-C-D 网络

该电路接收来自于ISL6752的OUTLLN或者OUTLRN的同步整流器信号。通过VADJ来调整时序，

以达到正确的打开延时。然后调整RC网络以达到合理的关断延时。一旦完成这些工作，可以解除栅—源短接，将MOSFET管连接至驱动器上。这种对同步整流器初始上电的方法，可以免去不必要的调试时间。一旦ZVS全桥上电后，就可以看到如图10所示的同步整流器波形。

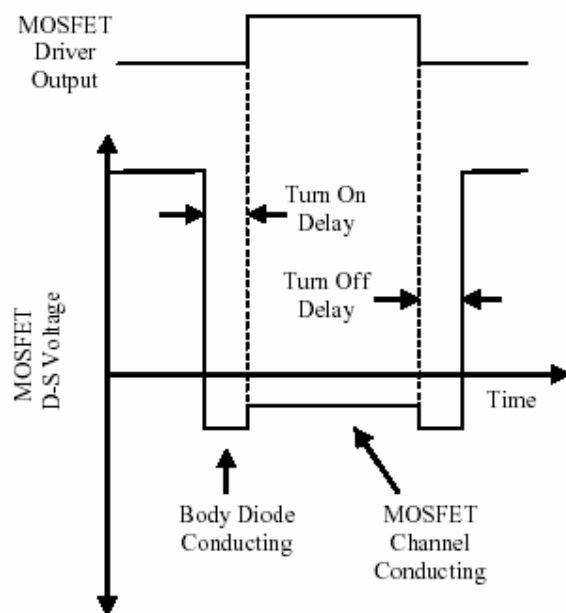


FIGURE 10. TIMING WAVEFORMS FOR SYNCHRONOUS RECTIFIER

MOSFET Driver Output: MOSFET管驱动输出

MOSFET D-S Voltage: MOSFET管D-S压降

Turn On Delay: 打开延时

Turn Off Delay: 关断延时

Body Diode Conducting: 续流二极管导通

Time: 时间

MOSFET Channel Conducting: MOSFET管通道导通

### 图 10 同步整流器的时序波形

图中表明内部续流二极管在MOSFET管打开之前和之后都是导通的，电流在MOSFET管打开时，流经MOSFET管。

由于同步整流器，逆变器的效率直接与续流二极管的导通时间有关。降低这个导通时间能够显著提升逆变器的效率。但是，降低这个导通时间不是没有风险的。在改变传输线和载荷的时候，要仔细检查这个时序。例如，当载荷发生变化的时候，由于泄漏电感和导线感应的电压与负载大小无关，电流的上升下降的速率 ( $di/dt$ ) 不变。因此，满负载的时候，就比较轻负载的时候需要更多的时间来进行电流转换。需要根据最坏的情况来调节时序。因为温度也会影响同步整流器的开关特性，故应该在整个工作温度范围内对时序进行校验。

如果可变因素太多，应该考虑不同的驱动策略。其中的一个方法是，直到一个MOSFET管上的变压器电压上升之后才打开另一个MOSFET管。可以采用晶体管打开自驱动策略，但是得采用

本文介绍的关断技术。另一个可行的方案是采用饱和铁芯，串接在MOSFET管的漏极或者次级绕组上。像东芝公司的SPIKE KILLER®这样的饱和铁芯就可以满足需求。该铁芯能够阻止同步整流器重叠时间内的电流，防止交叉导通（直通）。

温度也会对时序造成影响。ISL6752有两个通道来驱动MOSFET管，一个是驱动初级侧的MOSFET管，另一个是通过同步整流器。两个通道具有不同的传播延时，同时延时也会随着温度而变化。甚至ISL6752本身有较大的延时变化。上述问题，可以将ISL6752的VADJ的一个分压电阻换成热敏电阻来解决。这样就可以根据温度的变化来改变延时。如果采用图9所示的R-C-D网络，可以将R-C-D网络中的电阻换成热敏电阻，来完成根据温度的变化改变延时的功能。

还有，就是用来设置时序的元器件的差异性问题。解决方法就是采用容差小的器件。

在弄清所有这些问题之后，对于保守的设计来说，打开延时和关断延时最短不能低于50ns。试图缩小这个延时会显著提升效率，但是会有重叠导通和直通的风险。

## 整流器输出

并不是所有的设计都需要同步整流，ISL6753就是基于这样的考虑而研发的。采用当今具有低导通电阻  $R_{DS-ON}$  的MOSFET管，同步整流器的实际输出可达15V。对于更高的输出电压，性能的提升不及成本和复杂度的提升。随着MOSFET技术的发展，对电压的限制也改进了。

传统的整流器输出有自己的一些挑战，在设计整流器的输出级的时候可以选择的肖特基二极管，这些二极管典型的正向压降为0.3V，而标准PN结的正向压降则为0.7V。这个特性在大电流输出的时候对损耗影响非常显著。

但是，当今的肖特基二极管的反向击穿电压最大为200V，而且，在大电流的时候，不推荐使用150V或者具有更高标称电压的肖特基二极管。肖特基二极管具有一个与肖特基载体并行的PN结的保护环状结构，在正常的工作条件下，PN结处于非活动状态。但是，具有高击穿电压的器件的掺杂浓度一般较低，就导致需要更高的正向电压来使得肖特基二极管导通。另外，低浓度的掺杂使得体电阻在大电流的时候更高，这样一来，压降IR会变得更加严重。这样就导致PN结变成大电流下正向偏置，二极管会具有反向恢复电荷的特性。

如果只能选择PN结二极管，那么推荐选择具有最低的反向恢复电荷和最低的额定电压的二极管。对于给定的PN结二极管系列，存储电荷的数量与标称反向电压成正比。

不管选择什么样的整流器，器件都需要电压缓冲网络。其中一个方法就是在二极管两端使用R-C网络。当二极管两端的电压反向的时候，由于二极管的寄生电容与变压器的漏感和其他寄生电感一起谐振，二极管两端的电压会发生振荡。在二极管两端并联一个串联R-C网络改变谐振电路的特性，如图11所示。

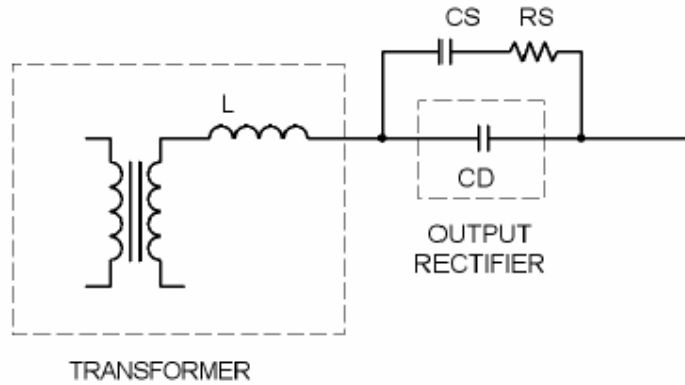


FIGURE 11. R-C SNUBBER

TRANSFORMER: 变压器

OUTPUT RECTIFIER: 输出整流器

图 11 R-C 缓冲电路

R-C缓冲器旨在使CS比二极管的平均电容CD大2至10倍。这能有效“淹没”电路中CD的作用。RS的大小设置为 $\sqrt{L/(CD+CS)}$ 的2至5倍，可以阻滞二极管的电压。L可以通过CD和CS的谐振频率来确定。使用缓冲是个良好的开端，但是要避免下述陷阱。

- 如果CS很小，R-C缓冲器几乎没有作用。
- 如果CS很大，就会有很大的电流尖峰来对电容CS进行充放电，在电流开关波形上表现为初始的电流尖峰，会导致变换器不能正常工作。如果改变CS的大小，RS的大小也应该作相应的改变。
- 如果RS很小，阻尼的作用就很小，谐振频率会主要取决于CD+CS的大小。
- 如果RS很大，R-C缓冲器几乎没有作用，谐振频率会只取决于CD的大小。
- 缓冲器上消耗的功率直接正比于开关频率的大小和CS的大小。
- 如果采用PN结二极管，就会有反向恢复电荷引起的附加影响，要求缓冲器具有更大的阻尼能力。

缓冲输出整流器的另外一个方法就是采用饱和铁芯的办法，该方法在应用笔记AN1246中有详细说明。

传统整流器输出的另外一个主要问题就是在输出电流很小时，电感电流变得不连续。在输出电流降至电感纹波电流的一半以下时就会发生这样的情况。在这样的模式下，逆变器具有3种工作模式：Ton，对输出电感充电，Toff，对输出电感放电，和Trelax，此时输出电感的电流为零。如图12所示。

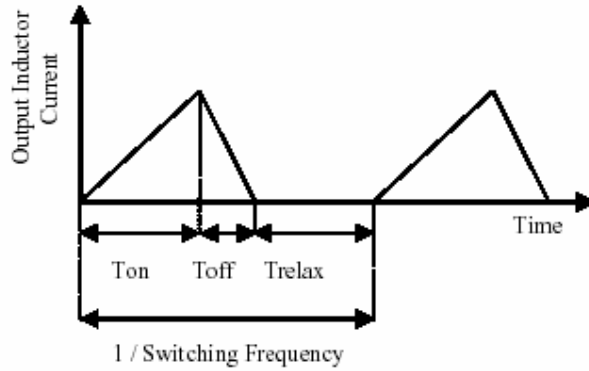


FIGURE 12. DISCONTINUOUS CONDUCTION MODE

Output Inductor Current: 输出电感电流

Time: 时间

Switching Frequency: 开关频率

图 12 不连续导通模式

在这种模式下， $V_{out}$ 不再具有如式1所示的连续导通模式（CCM）那样简单的关系了。

$$V_{out} = T_{on} \times F_{sw} \times V_{in} \quad (EQ. 1)$$

相反，这个基于能量的关系变得很复杂。导通时间 $T_{on}$ 是负载电流、输出电感、输入电压、输出电压和开关频率的函数。由于逆变器的传递函数发生了变化，会产生一些独特的问题。通常逆变器的设计会假设工作于连续导通模式（CCM）下对稳定性进行补偿。如果逆变器变得不连续工作，由于传递函数的变化，逆变器就有可能变得不稳定。仔细控制环路补偿设计可以避免这样问题。

在非连续导通模式（DCM）下，随着输出电流的减小，导通时间 $T_{on}$ 也会缩短。这样就会存在一点，在该点处，所要求的 $T_{on}$ 会小于PWM控制器所能提供的最小导通时间。在这样的情况下，就会发生跳脉冲现象。由于最短的输出脉冲超过了所需要的脉冲宽度，下一个开关周期占空比为零，这样从长期看，平均占空比仍然是正确的。尽管输出仍是稳压的，但是输出纹波性能会恶化。

有几种方法来减轻这样的问题，使逆变器在低输出电流的时候保持工作于CCM模式下。防止工作于DCM模式下的一个方法就是在输出端接假负载电阻，使得当逆变器工作于最小负载的时候，假负载流过足够的电流来保持CCM工作模式。为了提升效率，可以只在负载较小的时候激活假负载。如果不要求完美，这是一个很有效的办法。

更好的办法就是采用像波莫合金（MPP）这样的电感铁芯材料，或者采用步进空隙的电感，使得电感随负载非线性变化。所需的特性就是随着负载电流的减小，让电感增加。使用MPP铁芯材料设计的电感，在0A电流时的电感是正常工作电流时的电感的3倍。这样，就能将电感非连续工作的最小负载降低三分之一。步进空隙的电感设计，中柱截面上的气隙是呈阶梯变化，这样就能有效地控制电感与电流的函数关系。类似于使用MPP，电感在轻载下具有更大的电感。具有这样性能的电感通常称为变感扼流圈。

## 效率

采用ZVS的结构确实能够减小开关损耗，但是只对初级侧MOSFET管起作用。对于高输入电压的设计来说，这一点是很重要的。而且不需要初级侧的缓冲器。变压器的泄漏电感被钳位，在阻尼振荡方面没有能量损失，或者不消耗额外的能量。

然而，ZVS也有一些缺点，部分缺点如下：

- 初级电流需要承载续流和开关电流，变压器初级绕组截面必须足够增大以处理附加的RMS电流。

- 某个上MOSFET管的体二极管一直是续流通路。对于高压设计来说，这不会引起问题，因为在典型的设计中，内部续流二极管的正向压降与上MOSFET管的压降  $I \times R_{DS(on)}$  大小相当。

但是对于低输入电压的设计来说，这会引出问题，较大的初级电流导致体二极管的正向压降相对于供电电压来说很大。

- 谐振时间减小了允许的最大占宽比。因为这一点，必须减小初次级匝比，以便在全输入电压范围来保持输出电压能稳定在额定值。在给定负载下，如果匝数比减小的话，初级侧的电流会增大。

所有这些特性都会使效率降低。

即使桥路中的MOSFET管没有开关损失，实际工作中对工作频率也会有限制。随着工作频率的升高，谐振时间占最大占宽比的比例会越来越显著。为了补偿这一点，初级一次级线圈的匝数比必须降低，因而初级电流会增大。初级侧的MOSFET管的导通损失增大，会降低ZVS逆变器的节能效果。降低谐振时间的可行方法是，在MOSFET管的漏极串接一个肖特基二极管，同时采用超快恢复二极管作为新的续流二极管来旁路原来的续流二极管。这样能使得谐振时间降低至原来的十分之一，实际上，已经开发出了1MHz的ZVS全桥。

但是，磁场元件工作于高频时也会有问题。一般情况下，随着工作频率的升高，磁性元件的尺寸会减小，但是，涡流[1]和铁损会变大，从而需要增大变压器的尺寸来补偿。如果采用饱和铁芯来调整次级电流的话，对频率可超过150KHz至200KHz。

如果采用同步整流器，随着频率的升高，性能提升会打折扣。有固定的最小打开，关断时间延时，即最短的体二极管的导通时间。随着频率的升高，体二极管导通的时间保持不变，但是MOSFET通道导通时间会减小。结果就是MOSFET管通道导通占空比随着频率升高而变短，导致同步整流器的效果变差[2, 3]。

综合上面的所有问题，ZVS全桥实际的工作频率限制在150KHz至400KHz。

## 不同的全桥 ZVS 算法的比较

本文讨论了ZVS全桥的一种类型，即电流在上MOSFET管续流。还有其他类型的ZVS全桥结构，即大家周知的“移相ZVS全桥”电路。在这种结构中，续流电流要么片在上臂，要么在下臂

流过。在移相算法中，MOSFET管的驱动信号始终是50%占宽比，但是左臂与右臂的相位差决定了施加在主变压器上的电压占空比。关于ZVS移相设计的详细信息，请参见应用笔记AN9506。

下面列出了移相ZVS全桥的一些优点：

- 续流电流始终流经MOSFET通道，而675X控制的ZVS电路则流经体二极管。假设由于 $R_{DS-ON}$ 产生的压降小于续流二极管的正向压降，移相算法对于低输入电压的设计来说有优势。
- 由于栅极驱动信号始终是50%占空比（非PWM），栅极驱动变压器就很容易设计。对于PWM栅极驱动信号，在变压器上始终存在电压振铃的问题，振铃会在错误的时间打开MOSFET管。

移相ZVS全桥结构的缺点：

- 由于调制是与相位相关的，对于移相ZVS的全桥结构的MOSFET管驱动信号控制逻辑，就更复杂。
- 这里讨论的ZVS全桥结构（675X），自由回流电流流经上MOSFET管。由于上MOSFET管承担开关电流和自由回流电流，因此上MOSFET管要比下管消耗更多的能量。由于额外的能量在上MOSFET管，因此器件的散热很容易，可以直接将器件安装在散热片上，而不会产生EMI。

对于这两种类型的全桥结构，可对电路进行一些附加的改进，以克服一些缺陷。这些改进的一些小例子列在下面：

- 在变压器的原边串接一个附加的电感，相当于增大泄感。这样有利于优化临界电流。
- 在变压器的原边串接一个饱和电感，以增大零电压变换时的漏感。
- 在变压器的原边串接一个附加的电感和电容。使其谐振于开关频率上以形成ZVS和ZCS（零电流开关）谐振变换。

## 布线指南

与其它开关电源控制芯片一样，ISL6752与ISL6753及其相关的电路的布线，需要好的布线指南。最常见的错误就是采用地平面，期望所有由于布线产生的噪声问题都能够解决。有时候这并不一定正确。由于额外的中间层，不仅会使噪声更加严重，而且会使ZVS全桥电路产生附加的电容，从而增加ZVS临界电流，而且会增加印刷电路板的成本。

图13 给出了一个示例电路，电路中地线是一个大的地平面。

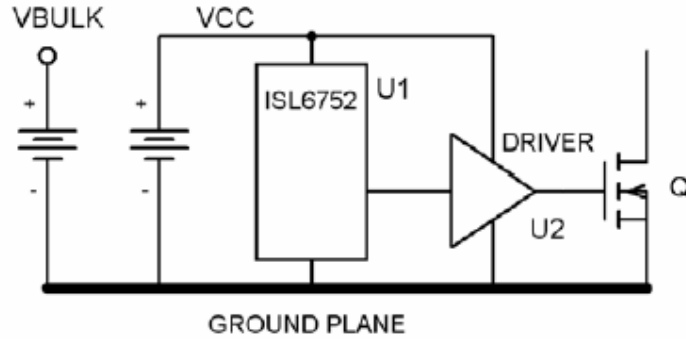


FIGURE 13. LAYOUT WITH GROUND PLANE

DRIVER: 驱动器

GROUND PLANE: 地平面

### 图 13 具有地平面的布线

VBULK为ZVS全桥主电路供电，Q为其中的一个下MOSFET管。VCC为U1和U2供电，本例子中U1为ISL6752 PWM，U2为通用MOSFET驱动芯片。实际情况中，地平面上仍然会存在一点电阻和电感。需要记住的是，地平面上流过的是脉动的电流，而且由于趋肤效应会引起地平面的交流电阻。图14给出了电流从ZVS全桥流经时的等效电路图。

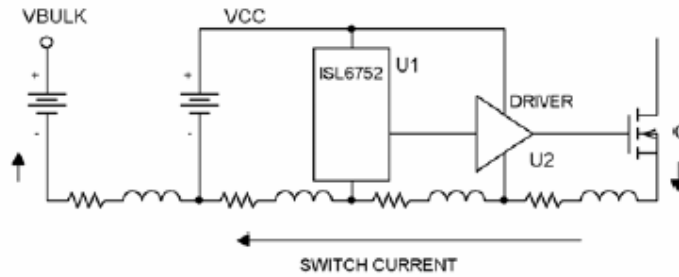


FIGURE 14. EQUIVALENT R AND L

DRIVER: 驱动器

SWITCH CURRENT: 开关电流

### 图 14 等效的 R 与 L

每次Q打开的时候，就会有一个脉冲电流从MOSFET管流经地平面返回至VBULK电源，产生一个电压毛刺，会影响模拟电路U1。即使将VBULK电源移至紧邻MOSFET管，也会通过地平面产生一些影响。当Q不断的开关的时候，地平面就等效为一系列R和L的阵列。从另外的角度来看，由于MOSFET管（Q）的开关动作所产生的脉冲电流，就像在一个水池中扔入一块石头那样。脉冲产生的“水波”就是电子噪声。即使对噪声敏感的电路距离很远，这个纹波仍然能够达到敏感电路那里。

一般来说，在布线糟糕的情况下，使用地平面比使用单根的地线要好一些，因为地平面的等效阻抗更低一些，但这并不是好的设计经验。这就是为什么引入地平面会看起来有助于解决噪声问题，但是正确连接布线会更好的原因。

更好的方法就是如图15那样连接线路，使得U1的地不与大电流的地有公共部分。

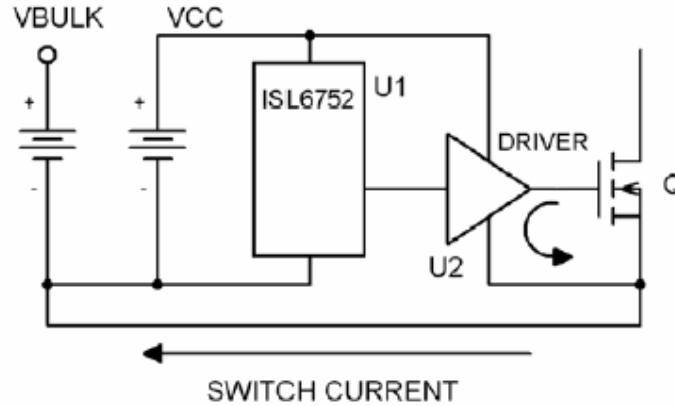


FIGURE 15. SEPARATING HIGH CURRENT PATHS

DRIVER: 驱动器

SWITCH CURRENT: 开关电流

### 图 15 分离大电流通路

直接在MOSFET的源极与大电源VBULK之间连线，而不让开关电流流经地平面，这样就允许开关电流直接从MOSFET管（Q）流至VBULK的电源，而不影响U1。

必须将驱动器的地层直接连接至MOSFET管（Q）的源极上，因为当驱动器对MOSFET管放电的时候会产生电流尖峰。当驱动器对MOSFET管的电容进行充电的时候，也会产生向电源正极方向的电流尖峰。但是，由于驱动器的退耦电容（接在正电源管脚与驱动器返回管脚之间的电容）会使得电流在驱动器与解耦电容之间回流，因此这个正向电流尖峰不会对其它电路造成影响。因此，驱动器的供电电源正端不必直接连接至VCC来旁路电路U1。VBULK的返回端与VCC的返回端之间的连接，用于保持直流的参考电位，理论上讲，它们之间没有电流流过。

第一眼就能够看出来，在U1与U2的返回端之间的噪声也可能引起问题。事实的确如此，因为，流经MOSFET管与Bulk电源之间的电流会产生电压毛刺。当U2对MOSFET管的栅极电容进行充电的时候，这种情况也成立。但是，U1与U2之间的信号不是模拟信号而是数字信号，可以容忍较大的噪声水平，而不会影响U1与U2的行为。

连接模拟电路U1的时候，应该特别的小心仔细。像U1这样的PWM IC含有用于调节的参考电压。所有的模拟电路元件都必须以U1的地电位为参考电位，以消除地电位的漂移。实现的办法之一就是采用如图16所示的星形地线连接模式。

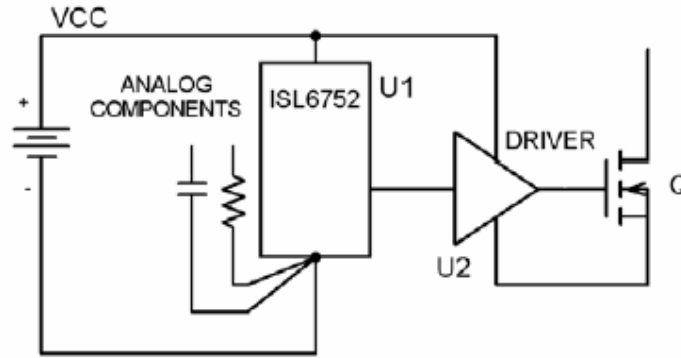


FIGURE 16. WIRING U1

ANALOG COMPONENTS: 模拟元器件

DRIVER: 驱动器

图 16 对 U1 的连线

但是，当模拟元器件的数目很多的时候，通常并不容易连接成星形模式。在这种情况下，可以在U1的下面设置一个地平面，使该地平面能够扩展覆盖一部分模拟电路。地平面应当直接连接至U1的地层，然后从U1的地层连接至VCC地层。由于没有开关电流流经这块地平面，因此这块地平面可以看作是“静地”。静地平面也会在该平面与U1的管脚之间增加一定数量的电容。这有助于减少U1上某些关键管脚的噪声。

关于布线最后一个需要考虑的问题是，初级侧MOSFET管和同步整流器的驱动路径。ISL6752对MOSFET管的电路驱动必须是对称的，这样就不会产生不匹配的传播延时。谐振周期或者打开、关断延时的时间应该小于50ns。

## 结论

本文介绍了在设计ISL6752、ISL6753和ZVS形全桥变换器时的一些有用的技巧。更进一步有用的信息，请参阅应用笔记AN1002与AN1246。

## 参考文献

- [1] Lloyd H Dixon Jr., “Eddy Current Losses in Transformer Windings and Circuit Wiring”, SEM600 Unitrode Seminar, 1988
- [2] Dgnjen Djekic and Miki Brkovic, “Synchronous Rectifiers vs. Schottky Diodes in a Buck Topology for Low Voltage Applications”, Power Electronics Specialists Conference, 1997. PESC '97 Record, 28th Annual IEEE Volume 2, Date: 22-27 Jun. 1997, Pages: 1374-1380 Volume 2
- [3] N Yamashita, N Murakami, N. and T Yachi, “Conduction Power Loss in MOSFET Synchronous Rectifier with Parallel-Connected Schottky Barrier Diode”, Power Electronics, IEEE Transactions on Volume 13, Issue 4, Date: Jul. 1998, Pages: 667-673

[4] Magnetics Inc., Ferrite Cores catalog, 1999